

Hardware Specification

S-7601A ***Dial-up TCP/IP Network Stack LSI***

セイコーインスツルメンツ株式会社
千葉県千葉市美浜区中瀬 1 - 8 〒261-8507
ネットワーク・コンポーネント・ビジネス
コンポーネント営業総括部半導体営業部
電話番号：043-211-1193 ファクシミリ：043-211-8032
E-mail：component@sii.co.jp

S7601AサポートURL
<http://www.sii.co.jp/compo/>
E-mail：ichip.help@sii.co.jp

TABLE OF CONTENTS

1	イントロダクション	1-1
1.1	製品概要	1-1
1.2	特徴	1-1
1.3	S-7600Aからの拡張	1-1
1.4	S-7600Aとの相違点	1-2
1.5	トレードマーク	1-2
1.6	定義	1-2
1.7	注意	1-2
2	機能ブロック図	2-1
3	端子	3-1
3.1	端子配置	3-1
3.2	パッケージ寸法	3-2
3.3	端子説明	3-3
3.4	端子構成	3-4
4	電気的特性	4-1
4.1	絶対最大定格	4-1
4.2	推奨動作条件	4-1
4.3	DC特性	4-2
4.4	消費電流	4-2
5	MPUインターフェイス	5-1
5.1	概要	5-1
5.2	パラレルインターフェイス	5-1
5.2.1	68kファミリーMPUモード	5-2
5.2.1.1	書き込みサイクルタイミング	5-2
5.2.1.2	読み出しサイクルタイミング	5-3
5.2.2	x80ファミリーMPUモード	5-4
5.2.2.1	書き込みサイクルタイミング	5-4
5.2.2.2	読み出しサイクルタイミング	5-5
5.3	シリアルインターフェイス	5-6
5.3.1	SIシリアルインターフェイス	5-6
5.3.1.1	書き込みサイクルタイミング	5-6
5.3.1.2	読み出しサイクルタイミング	5-7
5.3.2	SPIシリアルインターフェイス	5-8
5.3.2.1	概要	5-8
5.3.2.2	SPIクロックフォーマット	5-8
5.3.2.3	転送フォーマット	5-11
5.4	割り込み	5-13
6	メモリ仕様	6-1
6.1	概要	6-1
6.2	メモリインターフェイス構成	6-1
6.3	メモリマップ	6-2
7	S-7601Aレジスタ定義	7-1
7.1	概要	7-1
7.2	S-7600Aコンパチブル iAPI Register Map	7-1
7.3	S-7600Aコンパチブル レジスタの説明	7-4
7.3.1.1	レビジョンレジスタ (0x00)	7-4
7.3.1.2	汎用コントロールレジスタ (0x01)	7-4
7.3.1.3	汎用ソケット配置レジスタ (0x02)	7-6
7.3.1.4	マスタ割り込み (0x04)	7-6

7.3.1.5	シリアルポートコンフィグ/ステータスレジスタ (0x08)	7-7
7.3.1.6	シリアルポート割り込みレジスタ (0x09)	7-9
7.3.1.7	シリアルポート割り込みマスクレジスタ (0x0A)	7-9
7.3.1.8	シリアルポートデータレジスタ (0x0B)	7-10
7.3.1.9	ボーレートディバイダレジスタ (0x0C-0x0D)	7-10
7.3.1.10	自己IPアドレスレジスタ (0x10-0x13)	7-10
7.3.1.11	クロック分周レジスタ (0x1C-0x1D)	7-11
7.3.1.12	インデックスレジスタ (0x20)	7-11
7.3.1.13	サービスタイプレジスタ (TOS) (0x21)	7-12
7.3.1.14	ソケットコンフィグステータス下位レジスタ (0x22)	7-12
7.3.1.15	ソケットステータス中間レジスタ (0x23)	7-14
7.3.1.16	ソケットアクティブレジスタ (0x24)	7-15
7.3.1.17	ソケット割り込みレジスタ (0x26)	7-15
7.3.1.18	ソケットデータ有効レジスタ (0x28)	7-16
7.3.1.19	ソケット割り込みマスク下位レジスタ (0x2A)	7-17
7.3.1.20	ソケット割り込みマスク上位レジスタ (0x2B)	7-17
7.3.1.21	ソケット割り込み下位レジスタ (0x2C)	7-18
7.3.1.22	ソケット割り込み上位レジスタ (0x2D)	7-18
7.3.1.23	ソケットデータレジスタ (0x2E)	7-19
7.3.1.24	TCPデータ送信、バッファ出力長レジスタ (0x30-0x31)	7-19
7.3.1.25	バッファ入力長レジスタ (0x32-0x33)	7-19
7.3.1.26	緊急データポイントレジスタ (0x34-0x35)	7-19
7.3.1.27	相手先ポートレジスタ (0x36-0x37)	7-20
7.3.1.28	自己ポートレジスタ (0x38-0x39)	7-20
7.3.1.29	ソケットステータス上位レジスタ (0x3A)	7-20
7.3.1.30	相手先IPアドレスレジスタ (0x3C-0x3F)	7-21
7.3.1.31	PPPコントロール/ステータスレジスタ (0x60)	7-22
7.3.1.32	PPP割り込みコード (0x61)	7-23
7.3.1.33	PPP最大リトライレジスタ (0x62)	7-23
7.3.1.34	PAPストリングレジスタ (0x64)	7-24
7.4	拡張iAPIレジスタマップ	7-25
7.4.1	拡張iAPIレジスタマップの概要	7-25
7.4.2	拡張iAPIレジスタマップ	7-26
7.5	ダイレクトレジスタ	7-31
7.5.1	ダイレクトレジスタの定義	7-31
7.5.1.1	レビジョンレジスタ[Revision] 0x00	7-31
7.5.1.2	汎用コントロールレジスタ[General_Control] 0x01	7-32
7.5.1.3	汎用ソケットレジスタ[General_Socket_Location] 0x02	7-32
7.5.1.4	マスタ割り込みレジスタ[Master_Interrupt] 0x04	7-33
7.5.1.5	クロック分周レジスタ[Clock_Div] 0x1C-0x1D	7-34
7.5.1.6	マスタインデックスレジスタ[Master_Index] 0x20	7-34
7.5.1.7	ソケットアクティブレジスタ[Socket_Activate] (0x24)	7-35
7.5.1.8	ソケット割り込みレジスタ[Socket_Interrupt] (0x26)	7-35
7.5.1.9	ソケットデータ有効レジスタ[Socket_Data_Avail] (0x28)	7-35
7.5.2	インデックスレジスタ	7-36
7.5.3	ソケットレジスタの概要	7-36
7.5.4	ソケットレジスタの定義	7-38
7.5.4.1	ソケットアプリケーションIDレジスタ[Socket_App_ID] 0x30	7-38
7.5.4.2	ソケットレビジョンレジスタ[Socket_Revision] 0x31	7-38
7.5.4.3	ソケットコンフィグレーションレジスタ[Socket_Config] 0x32	7-39
7.5.4.4	ソケットステータス0レジスタ[Socket_Stat_0] 0x34	7-40
7.5.4.5	ソケットステータス1レジスタ[Socket_Stat_1] 0x35	7-41
7.5.4.6	ソケット割り込みイネーブル0レジスタ[Socket_Int_En_0] 0x36	7-42

7.5.4.7	ソケット割り込みイネーブルレジスタ[Socket_Int_En_1]	0x37	7-43
7.5.4.8	ソケット割り込みステータス0レジスタ[Socket_Int_Stat_0]	0x38	7-44
7.5.4.9	ソケット割り込みステータス1レジスタ[Socket_Int_Stat_1]	0x39	7-45
7.5.4.10	ソケットコマンドレジスタ[Socket_Command]	0x3A	7-46
7.5.4.11	ソケットデータレジスタ[Socket_Data]	0x3C	7-47
7.5.4.12	リモートIPアドレスレジスタ[Remote_IP_Address]	0x44-0x47	7-48
7.5.4.13	ローカルポートレジスタ[Local_Port]	0x48-0x49	7-49
7.5.4.14	リモートポートレジスタ[Remote_Port]	0x4A-0x4B	7-49
7.5.4.15	バッファ出力長レジスタ[Buffer_Len_Out]	0x4C-0x4D	7-50
7.5.4.16	バッファ入力長レジスタ[Buffer_Len_In]	0x4E-0x4F	7-50
7.5.4.17	遅延Ackコントロールレジスタ[Delayed_ACK_Control]	0x51	7-51
7.5.4.18	サービスタイプレジスタ[TOS]	0x53	7-51
7.5.4.19	緊急ポインタレジスタ[Urgent_Pointer]	0x54-0x55	7-52
7.5.4.20	最大セグメントサイズレジスタ[MSS]	0x56-0x57	7-52
7.5.4.21	ソケットステータス2レジスタ[Socket_Stat_2]	0x5A	7-53
7.5.4.22	クロック分周レジスタ[TCP_Clk_Divider]	0x5C-0x5D	7-54
7.5.4.23	TCPクロックイネーブルレジスタ[TCP_Clk_Enable]	0x5E	7-55
7.5.5	PPP / シリアルポートレジスタ		7-56
7.5.5.1	PPP / シリアルポートレジスタマップ		7-56
7.5.6	PPP / シリアルポートレジスタの定義		7-58
7.5.6.1	PPPアプリケーションIDレジスタ[PPP_App_ID]	0x30	7-58
7.5.6.2	PPPレビジョンIDレジスタ[PPP_Revision]	0x31	7-58
7.5.6.3	PPPコントロール/ステータスレジスタ[PPP_Ctrl_Stat]	0x32	7-59
7.5.6.4	PPP割り込みコードレジスタ[PPP_Int_Code]	0x38	7-61
7.5.6.5	PPPデータレジスタ[PPP_Data]	0x3C	7-62
7.5.6.6	PAPストリングレジスタ[PAP_String]	0x3D	7-62
7.5.6.7	PPP最大リトライレジスタ[PPP_Max_Retry]	0x3E	7-63
7.5.6.8	CHAPコントロール/ステータスレジスタ[CHAP_Ctrl_Stat]	0x3F	7-64
7.5.6.9	ローカルIPアドレスレジスタ[Local_IP_Addr]	0x40-0x43	7-65
7.5.6.10	PPPプロトコルレジスタ[PPP_Prot]	0x44-0x45	7-66
7.5.6.11	CHAP IDレジスタ[CHAP_ID]	0x46	7-66
7.5.6.12	ピアIPアドレスレジスタ[Peer_IP_Add]	0x48-0x4B	7-67
7.5.6.13	PPPデータ長レジスタ[PPP_Data_Len]	0x4E-0x4F	7-68
7.5.6.14	PPP状態レジスタ[PPP_State]	0x50	7-69
7.5.6.15	MRUレジスタ	0x52-0x53	7-70
7.5.6.16	シリアルポートレビジョンレジスタ[SP_Rev]	0x71	7-70
7.5.6.17	シリアルポートコンフィグレーションレジスタ[SP_Config]	0x72	7-71
7.5.6.18	シリアルポートステータスレジスタ[SP_Status]	0x73	7-72
7.5.6.19	シリアルポート割り込みイネーブル[SP_Int_Enable]レジスタ	0x767-73	
7.5.6.20	シリアルポート割り込み[SP_Int]レジスタ	0x78	7-74
7.5.6.21	シリアルポートデータレジスタ[SP_Data]	0x7C	7-74
7.5.6.22	シリアルポートボーレート分周レジスタ [SP_BAUD_Rate_Div]	0x80-0x81	7-75
8	データ通信		8-1
8.1	シリアルポートインターフェイス		8-1
8.1.1	概要		8-1
8.1.2	データフォーマット		8-1
8.1.3	ハードウェアフロー制御		8-1
8.1.4	シリアルポート制御（拡張iAPIレジスタマップの場合）		8-2
8.2	TCP/UDPデータ通信（拡張iAPIレジスタマップの場合）		8-2
8.2.1	TCPデータ通信		8-2
8.2.2	UDPデータ通信		8-3
9	リセット機能		9-1

9.1	概要	9-1
9.1.1	ハードウェアリセット機能	9-1
9.1.2	ソフトウェアリセット機能	9-2
9.1.3	ソケットリセット機能	9-2
9.1.4	PPPリセット機能	9-2
10	適用例	10-1
10.1	x80ファミリーMPUの場合	10-1
10.2	68kファミリーMPUの場合	10-1
10.3	SI1シリアルインターフェイスの場合	10-2
10.4	SPIシリアルインターフェイスの場合	10-2

LIST OF FIGURES

図 2-1	ブロック図	2-1
図 3-1	端子配置	3-1
図 3-2	パッケージ寸法	3-2
図 3-3	各端子の構成	3-4
図 5-1	68kファミリーMPU書き込みタイミング	5-2
図 5-2	68kファミリーMPU読み出しタイミング	5-3
図 5-3	x80ファミリーMPU書き込みサイクルタイミング	5-4
図 5-4	x80ファミリーMPU読み出しサイクルタイミング	5-5
図 5-5	シリアルインターフェイス書き込みタイミング	5-6
図 5-6	シリアルインターフェイス読み出しタイミング	5-7
図 5-7	SPI タイミング (cpha = 0, data order = 0)	5-9
図 5-8	SPI タイミング (cpha = 1, data order = 1)	5-10
図 5-9	SPI読み出しサイクル	5-11
図 5-10	SPIマルチバイトメモリ読み出しサイクル	5-11
図 5-11	SPIシングルバイト書き込みサイクル	5-12
図 5-12	SPIマルチバイトメモリレジスタ書き込みサイクル	5-12
図 6-1	メモリインターフェイスの構成	6-1
図 7-1	トップレベルレジスタマップ	7-25
図 8-1	シリアルデータフォーマット	8-1
図9-1	ハードウェアリセットタイミング	9-1
図10-1	x80ファミリーMPUの例	10-1
図10-2	68kファミリーMPUの例	10-1
図10-3	SIIシリアルインターフェイスの例	10-2
図10-4	SPIシリアルインターフェイスの例	10-2

LIST OF TABLES

表 3-1	端子配置.....	3-1
表 3-2	端子説明.....	3-3
表 4-1	絶対最大定格.....	4-1
表 4-2	推奨動作条件.....	4-1
表 4-3	DC特性.....	4-2
表 4-4	消費電流.....	4-2
表 5-1	インターフェイス選択表.....	5-1
表 5-2	MPUと端子間の接続関係.....	5-1
表 5-3	68kファミリーMPU書き込みサイクルタイミング.....	5-2
表 5-4	68kファミリーMPU読み出しサイクルタイミング.....	5-3
表 5-5	x80ファミリーMPU書き込みサイクルタイミング.....	5-4
表 5-6	x80ファミリーMPU読み出しサイクルタイミング.....	5-5
表 5-7	シリアルインターフェイス書き込みサイクルタイミング.....	5-6
表 5-8	シリアルインターフェイス読み出しサイクルタイミング.....	5-7
表 5-9	SPIシリアルインターフェイス書き込み / 読み出しサイクルタイミング.....	5-9
表 5-10	SPIシリアルインターフェイス書き込み / 読み出しサイクルタイミング.....	5-10
表5-11	割り込み選択表.....	5-13
表 6-1	S-7601Aメモリマップ（バンク0, 8Kバイト）.....	6-2
表 6-2	S-7601Aメモリマップ（バンク1, 4Kバイト）.....	6-2
表 7-1	S-7600Aコンパチブル iAPIレジスタマップ.....	7-2
表 7-2	S-7600Aコンパチブル iAPIレジスタマップ（続）.....	7-3
表 7-3	レビジョンレジスタビットの定義.....	7-4
表 7-4	レビジョンレジスタの説明.....	7-4
表 7-5	汎用コントロールレジスタビットの定義.....	7-4
表 7-6	汎用コントロールレジスタの説明.....	7-5
表 7-7	汎用ソケット配置レジスタビットの定義.....	7-6
表 7-8	汎用ソケット配置レジスタの説明.....	7-6
表 7-9	マスタ割り込みレジスタビットの定義.....	7-6
表 7-10	マスタ割り込みレジスタの説明.....	7-7
表 7-11	コンフィグ/ステータスレジスタビットの定義.....	7-7
表 7-12	コンフィグ/ステータスレジスタの説明.....	7-8
表 7-13	シリアルポート割り込みレジスタビットの定義.....	7-9
表 7-14	シリアルポート割り込みレジスタの説明.....	7-9
表 7-15	シリアルポート割り込みマスクレジスタビットの定義.....	7-9
表 7-16	シリアルポート割り込みマスクレジスタの説明.....	7-9
表 7-17	自己IPアドレスレジスタビットの定義（0x10）.....	7-10
表 7-18	自己IPアドレスレジスタビットの定義（0x11）.....	7-10
表 7-19	自己IPアドレスレジスタビットの定義（0x12）.....	7-11
表 7-20	自己IPアドレスレジスタビットの定義（0x13）.....	7-11
表 7-21	インデックスレジスタビットの定義.....	7-11
表 7-22	インデックスレジスタの説明.....	7-11
表 7-23	ソケットコンフィグステータス下位レジスタビットの定義.....	7-12
表 7-24	ソケットコンフィグステータス下位レジスタの説明.....	7-13
表 7-25	ソケットステータス中間レジスタビットの定義.....	7-14
表 7-26	ソケットステータス中間レジスタの説明.....	7-14
表 7-27	ソケットアクティブレジスタビットの定義.....	7-15
表 7-28	ソケットアクティブレジスタの説明.....	7-15
表 7-29	ソケット割り込みレジスタビットの定義.....	7-15
表 7-30	ソケット割り込みレジスタの説明.....	7-16

表 7-31	ソケットデータ有効レジスタビットの定義	7-16
表 7-32	ソケットデータ有効レジスタの説明	7-16
表 7-33	ソケット割り込みマスク下位レジスタビットの定義	7-17
表 7-34	ソケット割り込みマスク下位レジスタの説明	7-17
表 7-35	ソケット割り込みマスク上位レジスタビットの定義	7-17
表 7-36	ソケット割り込みマスク上位レジスタの説明	7-17
表 7-37	ソケット割り込み下位レジスタビットの定義	7-18
表 7-38	ソケット割り込み下位レジスタの説明	7-18
表 7-39	ソケット割り込み上位レジスタビットの定義	7-18
表 7-40	ソケット割り込み上位レジスタの説明	7-19
表 7-41	相手先ポートレジスタビットの定義 (0x36)	7-20
表 7-42	相手先ポートレジスタビットの定義 (0x37)	7-20
表 7-43	自己ポートレジスタビットの定義 (0x38)	7-20
表 7-44	自己ポートレジスタビットの定義 (0x39)	7-20
表 7-45	ソケットステータス上位レジスタビットの定義	7-20
表 7-46	ソケットステータス上位レジスタの説明	7-21
表 7-47	相手先IPアドレスレジスタビットの定義 (0x3C)	7-21
表 7-48	相手先IPアドレスレジスタビットの定義 (0x3D)	7-21
表 7-49	相手先IPアドレスレジスタビットの定義 (0x3E)	7-21
表 7-50	相手先IPアドレスレジスタビットの定義 (0x3F)	7-21
表 7-51	PPPコントロール/ステータスレジスタビットの定義 (0x60)	7-22
表 7-52	PPPコントロール/ステータスレジスタの説明	7-22
表 7-53	PPP割り込みコードレジスタビットの定義	7-23
表 7-54	PPP割り込みステータスコード	7-23
表 7-55	PPP最大リトライレジスタ	7-23
表 7-56	PAPストリングフォーマット	7-24
表 7-57	PAPストリングの例	7-24
表 7-58	iAPIレジスタマップ	7-26
表 7-59	汎用ソケットで使用されるインデックスレジスタ	7-27
表 7-60	PPPレジスタマップ	7-29
表 7-61	レビジョンレジスタビットの定義	7-31
表 7-62	レビジョンレジスタの説明	7-31
表 7-63	汎用コントロールレジスタビットの定義	7-32
表 7-64	汎用コントロールレジスタの説明	7-32
表 7-65	汎用ソケット下位レジスタビットの定義(0x02)	7-32
表 7-66	汎用ソケットレジスタの説明	7-33
表 7-67	マスタ割り込みレジスタビットの定義	7-33
表 7-68	マスタ割り込みレジスタの説明	7-33
表 7-69	クロック分周レジスタ[Clock_Div_Low]ビットの定義(0x1C)	7-34
表 7-70	クロック分周レジスタ[Clock_Div_High]ビットの定義(0x1D)	7-34
インデックスレジスタにアクセスする前に、このレジスタを設定しなければなりません。設定値は保持されるので、アクセスするインデックスレジスタのインデックスが変わらなければ、このレジスタを再設定する必要はありません。有効なインデックス値を表 7-71に示します。		7-34
表 7-72	マスタインデックスレジスタビットの定義	7-34
表 7-73	マスタインデックスレジスタの説明	7-34
表 7-74	有効なインデックス値	7-34
表 7-75	ソケットアクティブレジスタビットの定義(0x24)	7-35
表 7-76	ソケット割り込みレジスタビットの定義(0x26)	7-35
表 7-77	ソケットデータ有効レジスタビットの定義(0x28)	7-35
表 7-78	汎用ソケットで使用されるインデックスレジスタ	7-36
表 7-79	ソケットアプリケーションIDレジスタビットの定義	7-38
表 7-80	ソケットレビジョンレジスタビットの定義	7-38
表 7-81	ソケットコンフィグレーションレジスタビットの定義	7-39

表 7-82	ソケットコンフィグレーションレジスタの説明	7-39
表 7-83	ソケットステータス0レジスタビットの定義	7-40
表 7-84	ソケットステータス0レジスタの説明	7-40
表 7-85	ソケットステータス1レジスタビットの定義	7-41
表 7-86	ソケットステータス1レジスタの説明	7-41
表 7-87	ソケット割り込みイネーブル0レジスタビットの定義	7-42
表 7-88	ソケット割り込みイネーブル0レジスタの説明	7-42
表 7-89	ソケット割り込みイネーブル1レジスタビットの定義	7-43
表 7-90	ソケット割り込みイネーブル1レジスタの説明	7-43
表 7-91	ソケット割り込みステータス0レジスタビットの定義	7-44
表 7-92	ソケット割り込みステータス0レジスタの説明	7-44
表 7-93	ソケット割り込みステータス1レジスタビットの定義	7-45
表 7-94	ソケット割り込みステータス1レジスタの説明	7-45
表 7-95	ソケットコマンドレジスタビットの定義	7-46
表 7-96	ソケットコマンドレジスタの説明	7-46
表 7-97	ソケットデータレジスタビットの定義	7-47
表 7-98	ソケットデータレジスタの説明	7-47
表 7-99	リモートIPアドレス0レジスタビットの定義(0x44)	7-48
表 7-100	リモートIPアドレス1レジスタビットの定義(0x45)	7-48
表 7-101	リモートIPアドレス2レジスタビットの定義(0x46)	7-48
表 7-102	リモートIPアドレス3レジスタビットの定義(0x47)	7-48
表 7-103	ローカルポート下位レジスタビットの定義(0x48)	7-49
表 7-104	ローカルポート上位レジスタビットの定義(0x49)	7-49
表 7-105	リモートポート下位レジスタビットの定義(0x4A)	7-49
表 7-106	リモートポート上位レジスタビットの定義(0x4B)	7-49
表 7-107	バッファ出力長下位レジスタビットの定義(0x4C)	7-50
表 7-108	バッファ出力長上位レジスタビットの定義(0x4D)	7-50
表 7-109	バッファ入力長下位レジスタビットの定義(0x4E)	7-50
表 7-110	バッファ入力長上位レジスタビットの定義(0x4F)	7-50
表 7-111	遅延Ackコントロールレジスタビットの定義(0x51)	7-51
表 7-112	遅延Ackコントロールレジスタの説明(0x51)	7-51
表 7-113	TOSレジスタビットの定義	7-51
表 7-114	緊急ポインタ下位レジスタビットの定義(0x54)	7-52
表 7-115	緊急ポインタ上位レジスタビットの定義(0x55)	7-52
表 7-116	MSS下位レジスタビットの定義(0x56)	7-52
表 7-117	MSS上位レジスタビットの定義(0x57)	7-52
表 7-118	ソケットステータス2レジスタビットの定義	7-53
表 7-119	ソケットステータス2レジスタの説明	7-53
表 7-120	TCPクロック分周レジスタビットの定義(0x5C)	7-54
表 7-121	TCPクロック分周レジスタビットの定義(0x5D)	7-54
表 7-122	TCPクロックイネーブルレジスタビットの定義	7-55
表 7-123	TCPクロックイネーブルレジスタの説明	7-55
表 7-124	PPPレジスタマップ	7-56
表 7-125	アプリケーションIDレジスタビットの定義	7-58
表 7-126	レビジョンIDレジスタビットの定義	7-58
表 7-127	PPPコントロール/ステータスレジスタビットの定義	7-59
表 7-128	PPPコントロール/ステータスレジスタの説明	7-59
表 7-129	PPP割り込みコードレジスタビットの定義	7-61
表 7-130	PPP割り込みステータスコード	7-61
表 7-131	PPPデータレジスタビットの定義	7-62
表 7-132	PAPストリングフォーマット	7-62
表 7-133	PAPストリングの例	7-62
表 7-134	PPP最大リトライレジスタビットの定義	7-63

表 7-135 PPP最大リトライレジスタの説明	7-63
表 7-136 CHAPコントロール/ステータスレジスタビットの定義	7-64
表 7-137 CHAPコントロール/ステータスレジスタの説明	7-64
表 7-138 ローカルIPアドレスレジスタビットの定義(0x40)	7-65
表 7-139 ローカルIPアドレスレジスタビットの定義(0x41)	7-65
表 7-140 ローカルIPアドレスレジスタビットの定義(0x42)	7-65
表 7-141 ローカルIPアドレスレジスタビットの定義(0x43)	7-65
表 7-142 PPPプロトコルレジスタビットの定義(0x44)	7-66
表 7-143 PPPプロトコルレジスタビットの定義(0x45)	7-66
表 7-144 CHAP IDレジスタビットの定義(0x46)	7-66
表 7-145 ピアIPアドレスレジスタビットの定義(0x48)	7-67
表 7-146 ピアIPアドレスレジスタビットの定義(0x49)	7-67
表 7-147 ピアIPアドレスレジスタビットの定義(0x4A)	7-67
表 7-148 ピアIPアドレスレジスタビットの定義(0x4B)	7-67
表 7-149 PPPデータ長レジスタビットの定義(0x4E)	7-68
表 7-150 PPPデータ長レジスタビットの定義(0x4F)	7-68
表 7-151 PPP状態レジスタビットの定義	7-69
表 7-152 PPP状態レジスタの説明	7-69
表 7-153 NCP、LCPの状態	7-69
表 7-154 MRU下位レジスタビットの定義(0x52)	7-70
表 7-155 MRU上位レジスタビットの定義(0x53)	7-70
表 7-156 シリアルポートレビジョンレジスタビットの定義	7-70
表 7-157 シリアルポートコンフィグレーションレジスタビットの定義	7-71
表 7-158 シリアルポートコンフィグレーションレジスタの説明	7-71
表 7-159 シリアルポートステータスレジスタビットの定義	7-72
表 7-160 シリアルポートステータスレジスタの説明	7-72
表 7-161 シリアルポート割り込みイネーブルレジスタビットの定義	7-73
表 7-162 シリアルポート割り込みイネーブルレジスタの説明	7-73
表 7-163 シリアルポート割り込みレジスタビットの定義	7-74
表 7-164 シリアルポート割り込みレジスタの説明	7-74
表 8-1 ヘッダ情報の構成	8-3

1 イントロダクション

1.1 製品概要

S-7601Aは、TCP/IPネットワークスタックを集積したLSIで、シリアルインターフェイスおよびバッファとして動作するスタティックRAMを内蔵し、より迅速かつ容易なネットワーク接続機能を提供します。

このLSIを搭載することにより、ソフトウェア開発費の大幅な低減、また、動作周波数が低いので低消費電力化が図れます。

S-7601Aは、iReady iAPI™レジスタセットを介してのマイクロプロセッサインターフェイスやフィジカルレーヤートランスポートインターフェイスへの接続をサポートします。

iAPIは、レジスタセットと動作定義から構成され、外部マイクロコントローラシステムの内部モジュールへのインターフェイスを可能にします。

S-7601Aは、S-7600Aの機能およびパフォーマンスを拡張した製品です。また、S-7600Aとレジスタセットレベルでのコンパチブルモードを持つため、既存のS-7600Aのソフトウェア資産を有効に活用することができます。

1.2 特徴

- 標準プロトコルをサポート：
 - TCP/IP (Ver. 4.0)
 - PPP (STD-51-準拠)
 - UDP
- 汎用ソケット：
 - 2つのソケットを用意。
- MPUインターフェイス：
 - 68k/x80 (MOTO/インテル) バスインターフェイス
 - または 2 形態の同期式シリアルインターフェイス (SIIシリアルとSPI)
- フィジカルトランスポートレイヤインターフェイス：
 - UART (Universal Asynchronous Receiver/Transmitter)
- 低クロックレート：
 - ビットレートの4倍のクロックレート。
- 動作周波数：
 - 標準：256kHz
- 消費電力：
 - データ転送時の動作消費電流 : 0.9mA typ.
 - データ非転送時の動作消費電流 : 160 μ A typ.
 - 待機状態消費電流 : 1.0 μ A typ.
- 待機状態モード : リセット信号により保持されます。
- 広範囲動作電圧範囲 : 2.4V ~ 3.6V

1.3 S-7600Aからの拡張

- 機能拡張
 - 自動IP割り付け機能
 - CHAPサポート機能
- パフォーマンス拡張
 - Round Trip Timer (RTT)
 - バッファサイズの拡大
- Delayed ACK

2 機能ブロック図

S-7601Aの機能ブロック図を図2-1に示します。ネットワークスタックおよびそれと関連した機能のブロックがあります。またS-7601Aには、ホストのMPUのためのインターフェイス、および様々なデータターミナル装置のための物理レイヤインターフェイスがあります。

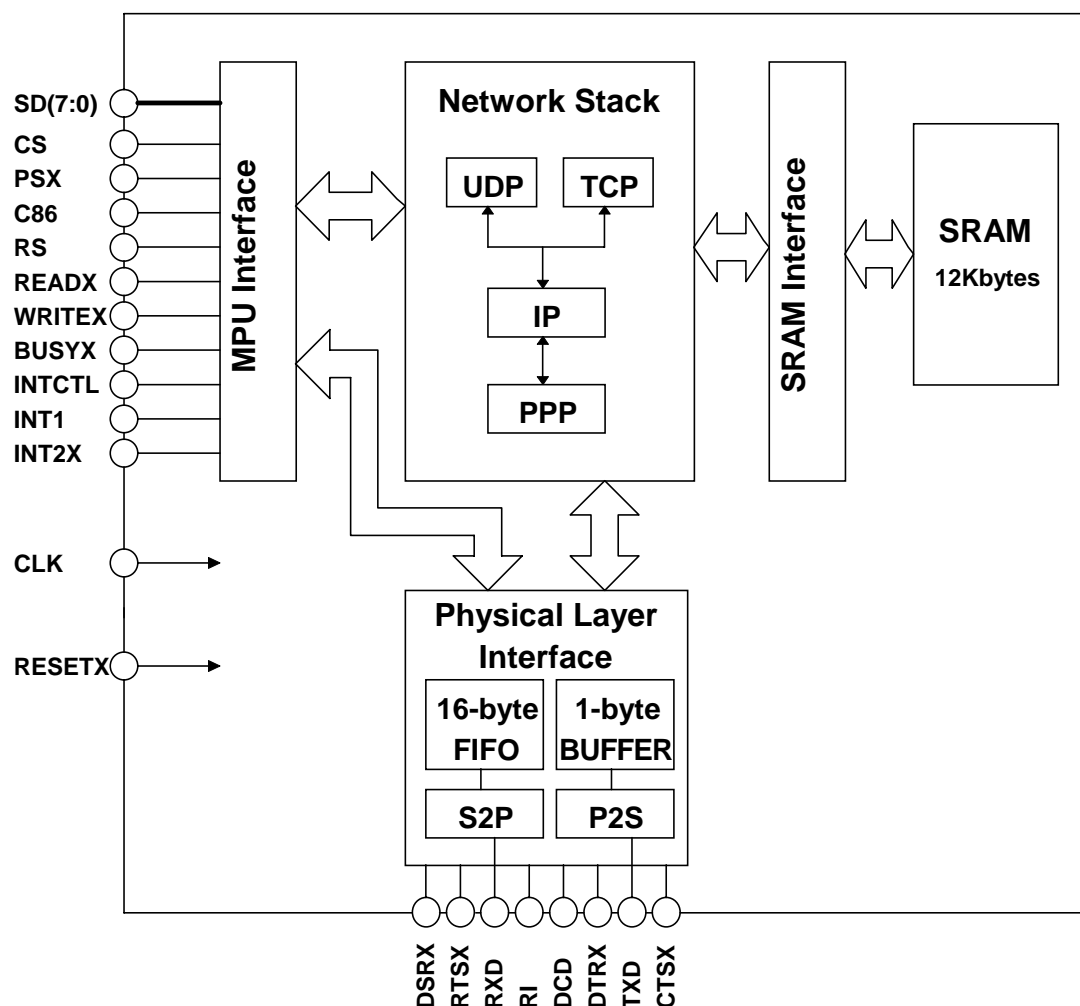


図 2-1 ブロック図

トランスポートレイヤとネットワークレイヤは以下のものを含んでいます：

- アプリケーションレイヤとトランスポートレイヤの間の接続を提供する2つの汎用ソケット。
- コネクション型で高信頼性のTCPモジュールと、コネクションレスでベストエフォート型のUDPモジュール。
- コネクションレス型データグラム配信を提供するIPモジュール。
- ポイントツーポイント接続リンクを提供するPPPモジュール。

3 端子

3.1 端子配置

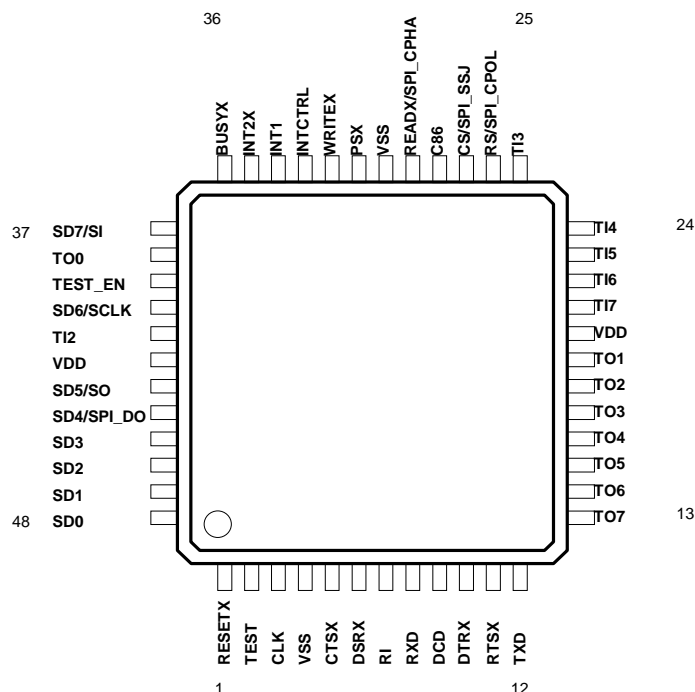


図 3-1 端子配置

パッケージでの端子配置を図3-1に示します。

表3-1に端子番号と端子名称を示します。

Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name	Pin No.	Pin name
1	RESETX	13	TO7	25	TI3	37	SD7/SI
2	TEST	14	TO6	26	RS/ SPI_CPOL	38	TO0
3	CLK	15	TO5	27	CS/ SPI_SSJ	39	TEST_EN
4	VSS	16	TO4	28	C86	40	SD6/SCLK
5	CTSX	17	TO3	29	READX/ SPI_CPHA	41	TI2
6	DSRX	18	TO2	30	VSS	42	VDD
7	RI	19	TO1	31	PSX	43	SD5/SO
8	RXD	20	VDD	32	WRITEX	44	SD4/ SPI_DO
9	DCD	21	TI7	33	INTCTRL	45	SD3
10	DTRX	22	TI6	34	INT1	46	SD2
11	RTSX	23	TI5	35	INT2X	47	SD1
12	TXD	24	TI4	36	BUSYX	48	SD0

表 3-1 端子配置

3.2 パッケージ寸法

S-7601Aは、0.5mmピンピッチ間隔の48ピンQFPパッケージに実装されています。パッケージレイアウトを図3-2に示します。

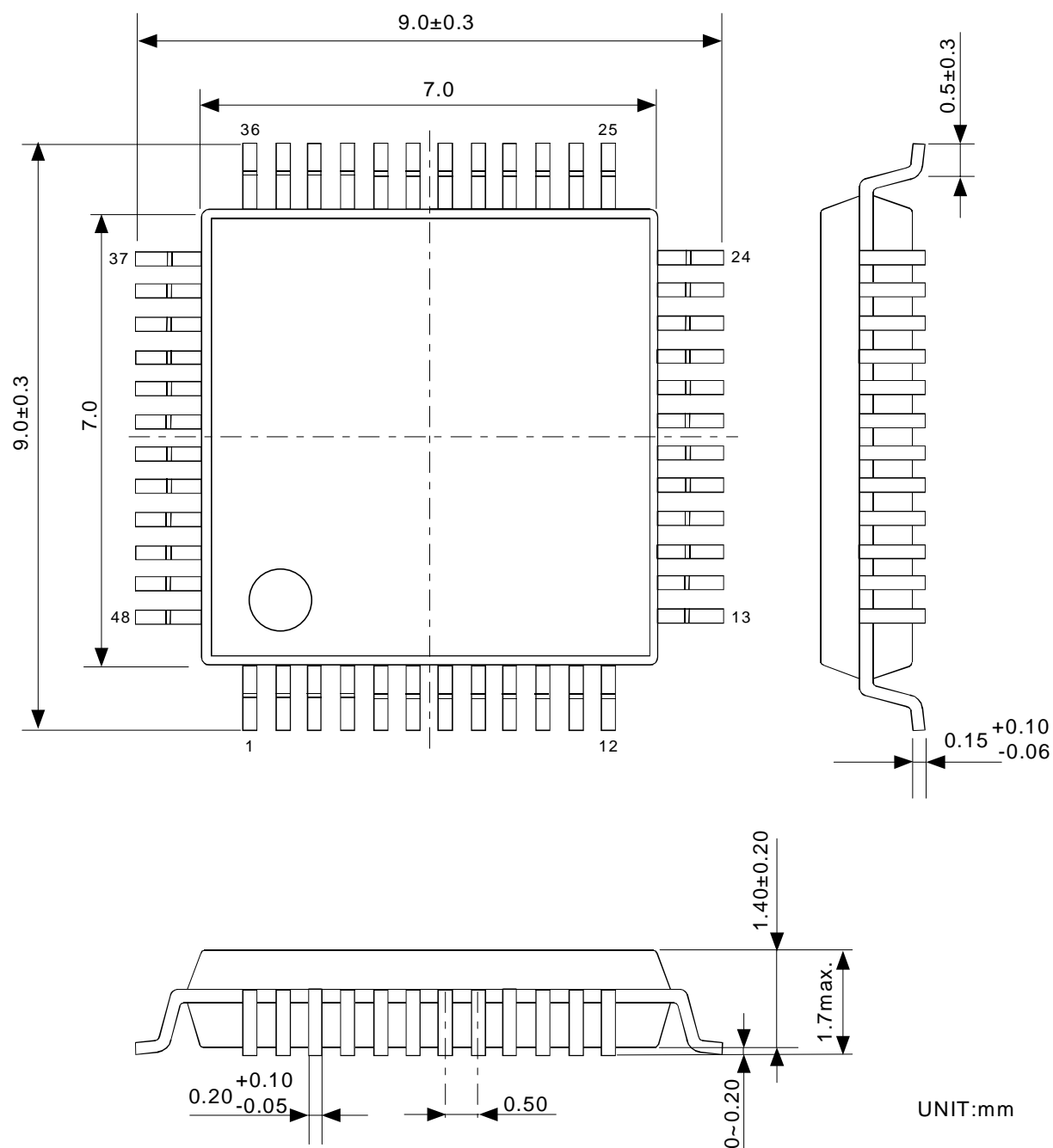


図 3-2 パッケージ寸法

3.3 端子説明

端子および信号の機能説明を表3-2に示します。

端子説明	I/O	機能説明	タイプ
VDD1,VDD2	-	正電源端子	
VSS1,VSS2	-	GND端子	
RESETX	I	リセット端子	A
TEST,TEST_EN TI2 to TI7	I	テスト入力端子（プルアップ抵抗内蔵） 通常はVssに接続するかオープン	B
TO0	*OT	テスト出力端子 通常はオープン	E
TO1 to TO7	O	テスト出力端子 通常はオープン	D
CLK	I	クロック信号入力端子	C
CTS _X	I	送信クリア信号入力端子	C
DSRX	I	データレディ信号入力端子	C
RI	I	リングインデータ信号入力端子	C
RXD	I	シリアル受信データ入力端子	C
DCD	I	データキャリア検出入力端子	C
DTRX	O	データレディ信号出力端子	D
RTSX	O	送信要求出力端子	D
TXD	O	シリアル送信データ出力端子	D
RS/SPI_CPOL	I	レジスタ選択入力端子/SPI CPOL入力端子	C
CS/SPI_SSJ	I	チップ選択端子/SPI Slave Select入力端子	C
C86	I	MPUインターフェイス選択端子 68kモード：1 x80モード：0 SPIモード：1 SIIシリアルモード：0	C
READX/SPI_CPHA	I	x80モード：読み出し要求入力端子 68kモード：入力トリプル端子 SPIモード：SPI CPHA入力端子	C
PSX	I	パラレル/シリアルインターフェイス選択入力端子	C
WRITEX	I	x80モード：書き込み要求入力端子 68kモード：読み出し/書き込み選択入力端子 SIIシリアルモード：読み出し/書き込み選択入力端子	C
INTCTRL	I	INT1/INT2X出力形態（CMOS/OD）選択入力端子	C
INT1	*OT	S-7601AからMPUへの割込信号（active High）出力端子	E
INT2X	*OT	S-7601AからMPUへの割込信号（active Low）出力端子	E
BUSYX	O	ビジー信号出力端子	D
SD7/SI	*B	x80/68kモード：データバス SII/SPIシリアルモード：シリアルデータ入力端子	F
SD6/SCLK	*B	x80/68kモード：データバス SII/SPIシリアルモード：シリアルクロック入力端子	F
SD5/SO	*B	x80/68kモード：データバス SII/SPIシリアルモード：シリアルデータ出力端子	F
SD4/SPI_DO	*B	x80/68kモード：データバス SPIモード：SPI Data Order	F
SD0 to SD3	*B	データバス	F

*OT：トライステート出力 *B： 双方向

表 3-2 端子説明

3.4 端子構成

各端子の構成を図3-3に示します。

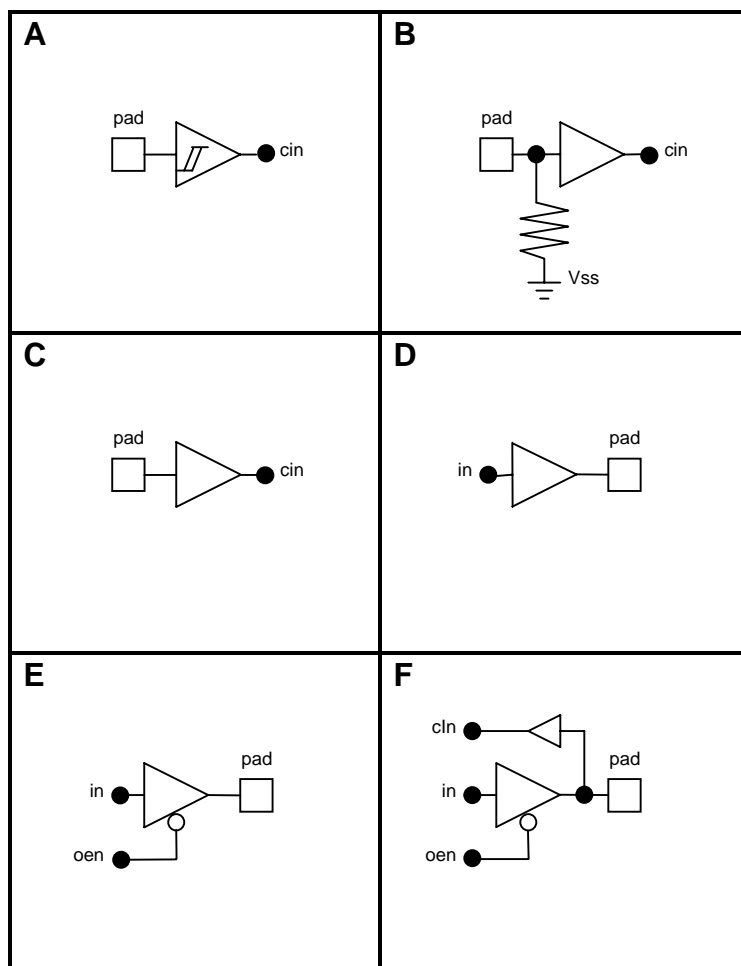


図 3-3 各端子の構成

4 電気的特性

4.1 絶対最大定格

項目	記号	条件	定格	単位
保存温度	T _{sta}		-40 ~ +125	°C
動作温度	T _{opr}		-40 ~ +85	°C
電源電圧	V _{DD}	Ta = 25°C	-0.3 ~ +4.0	V
入力電圧	V _{IN}	Ta = 25°C	V _{SS} -0.3 ~ 5.5	V
出力電圧	V _{OUT}	Ta = 25°C	V _{SS} ~ V _{DD}	V

表 4-1 絶対最大定格

4.2 推奨動作条件

項目	記号	条件	最小	標準	最大	単位	注
動作周波数範囲	F _{OPR}	Ta = -40 ~ +85°C	-	0.256	8	MHz	1
クロックパルス幅	Pw	Ta = -40 ~ +85°C	60	-	-	nS	
動作電圧範囲	V _{DD}	Ta = -40 ~ +85°C	2.4	-	3.6	V	
入力電圧	V _{IN}	Ta = -40 ~ +85°C	0	-	5.0	V	

注1： 入力クロックはビットレートの4倍以上の周波数が必要です。
(整数倍からの許容公差 < ±2%)

表 4-2 推奨動作条件

4.3 DC特性

特記無き場合： $V_{DD} = 3.0V$ 、 $V_{SS} = 0V$ 、 $T_a = 25^{\circ}C$

項目	記号	条件	最小	標準	最大	単位
低いレベル入力電圧	V_{IL}		-	-	$0.2 \times V_{DD}$	V
高いレベル入力電圧	V_{IH}		$0.8 \times V_{DD}$	-	-	V
低いレベル入力リーク電流	I_{LL}	$V_{IN} = V_{SS}$	-1.0	-	1.0	μA
高いレベル入力リーク電流	I_{LH}	プルアップ抵抗を持たないすべての入力端子 $V_{IN} = 5.0V$	-1.0	-	1.0	μA
高いレベル入力電流	I_{IH}	プルアップ抵抗を有するすべての入力端子 $V_{IN} = V_{DD}$	18	70	220	μA
低いレベル出力電流	I_{OL}	$V_{OL} = 0.4V$	5.0	-	-	mA
高いレベル出力電流	I_{OH}	$V_{OH} = 2.6V$	-	-	-3.5	mA
シュミット入力端子 ヒステリシス電圧幅	V_{WD}		-	0.46	-	V

表 4-3 DC特性

4.4 消費電流

特記無き場合： $V_{DD} = 3.0V$ 、 $V_{SS} = 0V$ 、 $T_a = 25^{\circ}C$

項目	記号	条件	最小	標準	最大	単位
通信時動作消費電流	I_{DD1}	$T_a = -40 \sim +85^{\circ}C$ $F_{OPR} = 256KHz$	-	0.9	2.2	mA
非通信時動作消費電流	I_{DD2}	$T_a = -40 \sim +85^{\circ}C$ $F_{OPR} = 256KHz$ $RESETX = V_{SS}$	-	160	320	μA
スタンバイ時消費電流	I_s	$T_a = -40 \sim +85^{\circ}C$	-	1.0	40.0	μA

表 4-4 消費電流

5 MPUインターフェイス

5.1 概要

S-7601Aは4つのMPUインターフェイス（2パラレルモードと2シリアルモード）をサポートしています。パラレルインターフェイスモードには、x80ファミリーMPUまたは68kファミリーMPUとのインターフェイスがあります。シリアルインターフェイスモードにはS-7600Aと同様のSIIシリアルとSPIシリアルがあります。表5-1にインターフェイス選択表を示します。

PSX	C86	Interface
0	0	SII Serial
0	1	SPI Serial
1	0	x80 Parallel
1	1	68K Parallel

表 5-1 インターフェイス選択表

5.2 パラレルインターフェイス

PSXを「H」にしてパラレルインターフェイスを選択します。パラレルインターフェイスモードでは、S-7601Aはx80ファミリーMPUまたは68kファミリーMPUとインターフェイスが可能です。所望のMPUモードは、C86ピンを「H」または「L」に設定して選択できます。

RS	68k Family MPU R/WX	x80 Family MPU		Function
		READX	WRITEX	
1	1	0	1	レジスタのリード
1	0	1	0	レジスタのライト
0	1	0	1	アドレスのリード
0	0	1	0	アドレスのライト

表 5-2 MPUと端子間の接続関係

5.2.168kファミリ-MPUモード

68kファミリ-MPUモードは、**C86**入力端子を「H」、**PSX**入力端子を「H」にして選択できます。**WRITEX**信号がリード/ライト (R/WX) 信号、**READX**信号がイネーブル (E) 信号に相当します。アドレスとデータは同じ8ビットのデータバスを共有します。表5-2に示すように、**RS**信号によって、アドレスとデータのどちらのアクセスかを切り替えます。

書き込みサイクルは、アドレスのライト、レジスタのライトでワンサイクルとします。

読み出しサイクルは、アドレスのライト、アドレスのリード、レジスタのリードでワンサイクルとします。

S-7601Aがビジー状態の時は、**BUSYX**信号が「L」になります。ビジー状態の時は、MPUはリード/ライトを行ってはいけません。リード/ライトを行う前に、**BUSYX**信号をサンプリングして下さい。**BUSYX**信号が「H」ならば、リード/ライトを行えます。

5.2.1.1 書き込みサイクルタイミング

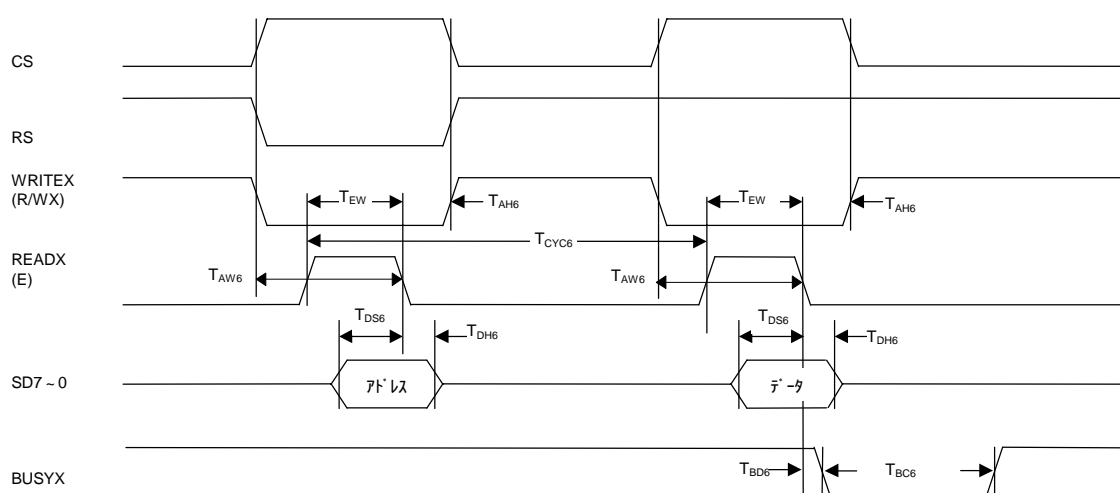


図 5-1 68kファミリ-MPU書き込みタイミング

記号	項目	最小	最大	注
T_{CYC6}	システムサイクル時間	100ns	-	
T_{AH6}	アドレスホールド時間	0ns	-	
T_{AW6}	アドレスセットアップ時間	20ns	-	
T_{DS6}	データセットアップ時間	20ns	-	
T_{DH6}	データホールド時間	0ns	-	
T_{EW}	イネーブルパルス幅	40ns	-	
T_{BD6}	BUSYX信号出力遅延時間	-	30ns	CL = 80pF
T_{BC6}	BUSYX信号パルス幅	2CLK	-	

- 記録：
- CLKはS-7601Aのクロック信号です。
 - タイミングは信号波形の50%で規定。
 - 入力信号の立ち上がり/立下り時間 (20%、80%) は、15nsec以下。

表 5-3 68kファミリ-MPU書き込みサイクルタイミング

5.2.1.2読み出しサイクルタイミング

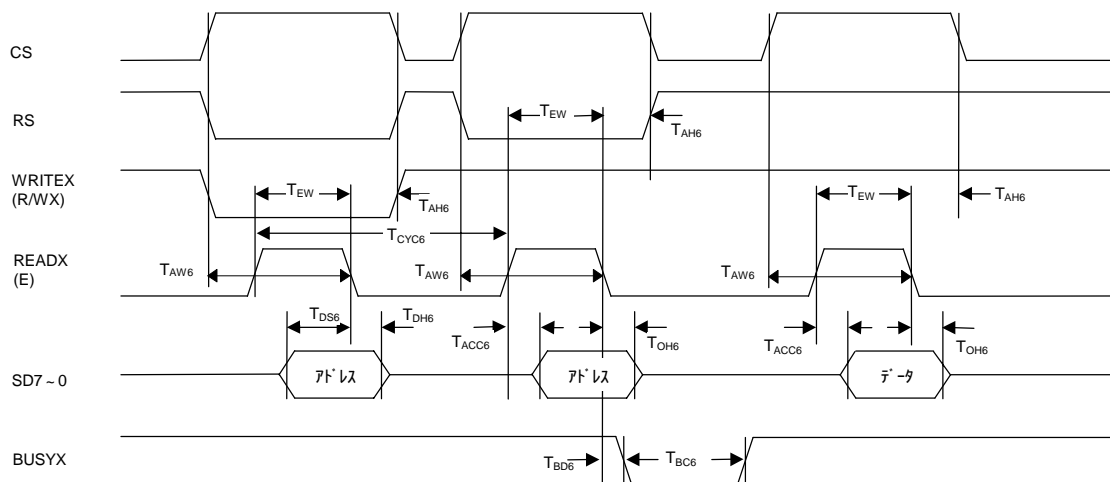


図 5-2 68kファミリーMPU読み出しタイミング

記号	項目	最小	最大	注
T_{CYC6}	システムサイクル時間	100ns	-	
T_{AH6}	アドレスホールド時間	0ns	-	
T_{AW6}	アドレスセットアップ時間	20ns	-	
T_{DS6}	データセットアップ時間	20ns	-	
T_{DH6}	データホールド時間	0ns	-	
T_{ACC6}	アクセス時間	-	30ns	CL = 80pF
T_{OH6}	出力デイスエーブル時間	20ns	-	CL = 80pF
T_{EW}	イネーブルパルス幅	40ns	-	
T_{BD6}	BUSYX信号出力遅延時間	-	30ns	CL = 80pF
T_{BC6}	BUSYX信号パルス幅	2CLK	-	

注：

- CLKはS-7601Aのクロック信号です。
- タイミングは信号波形の50%の位置で指定されます。
- 入力信号の立上り/立下り時間（20%、80%）は、15nsec以下。

表 5-4 68kファミリーMPU読み出しサイクルタイミング

T_{AW6} はREADXの立下りエッジに対する、CS, RS, WRTXのセットアップ時間です。
 T_{AH6} はREADXの立下りエッジに対する、CS, RS, WRTXのホールド時間です。

5.2.2x80ファミリーMPUモード

x80ファミリーMPUモードは、**C86**端子を「L」、**PSX**端子を「H」にして選択します。アドレスとデータは同じ8ビットのデータバスを共有します。表5-2に示すように、**RS**信号によって、アドレスとデータのどちらのアクセスかを切り替えます。

書き込みサイクルは、アドレスのライト、レジスタのライトでワンサイクルとします。

読み出しサイクルは、アドレスのライト、アドレスのリード、レジスタのリードでワンサイクルとします。

S-7601Aがビジー状態の時は、**BUSYX**信号が「L」になります。ビジー状態の時は、MPUはリード/ライトを行ってはいけません。リード/ライトを行う前に、**BUSYX**信号をサンプリングして下さい。

BUSYX信号が「H」ならば、リード/ライトを行えます。

5.2.2.1書き込みサイクルタイミング

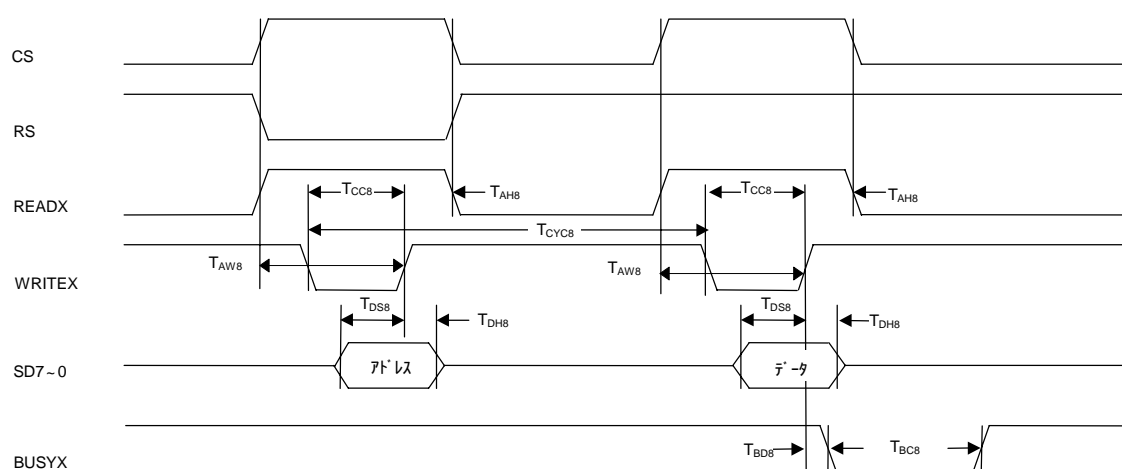


図 5-3 x80ファミリーMPU書き込みサイクルタイミング

記号	項目	最小	最大	注
T_{Cyc8}	システムサイクル時間	100ns	-	
T_{AH8}	アドレスホールド時間	0ns	-	
T_{AW8}	アドレスセットアップ時間	20ns	-	
T_{DS8}	データセットアップ時間	20ns	-	
T_{DH8}	データホールド時間	0ns	-	
T_{CC8}	制御パルス幅	40ns	-	
T_{BD8}	BUSYX信号出力遅延時間	-	30ns	CL = 80pF
T_{BC8}	BUSYX信号パルス幅	2CLK	-	

- 注：
- CLKはS-7601Aのクロック信号です。
 - タイミングは信号波形の50%の位置で規定。
 - 入力信号の立上り/立下り時間（20%、80%）は、15nsec以下。

表 5-5 x80ファミリーMPU書き込みサイクルタイミング

5.2.2.2読み出しサイクルタイミング

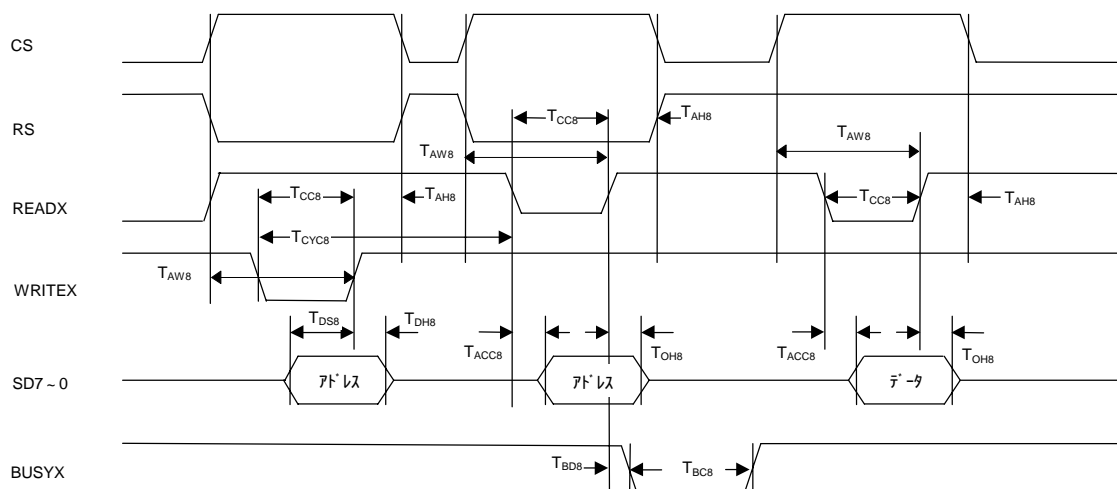


図 5-4 x80ファミリーMPU読み出しサイクルタイミング

記号	項目	最小	最大	注
T_{Cyc8}	システムサイクル時間	100ns	-	
T_{AH8}	アドレスホールド時間	0ns	-	
T_{AW8}	アドレスセットアップ時間	20ns	-	
T_{DS8}	データセットアップ時間	20ns	-	
T_{DH8}	データホールド時間	0ns	-	
T_{ACC8}	アクセス時間	-	30ns	CL = 80pF
T_{OH8}	出力デレイスエーブル時間	20ns	-	CL = 80pF
T_{CC8}	制御パルス幅	40ns	-	
T_{BD8}	BUSYX信号出力遅延時間	-	30ns	CL = 80pF
T_{BC8}	BUSYX信号パルス幅	2CLK	-	

- 注：
- CLKはS-7601Aのクロック信号です。
 - タイミングは信号波形の50%の位置で規定。
 - 入力信号の立ち上がり/立下り時間（20%、80%）は、15nsec以下。

表 5-6 x80ファミリーMPU読み出しサイクルタイミング

T_{AW8} はライト時のWRITEXの立ち上がりエッジに対する、CS, RS, READXのセットアップ時間です。
 T_{AH8} はライト時のWRITEXの立ち上がりエッジに対する、CS, RS, READXのホールド時間です。
 T_{AW8} はリード時のREADXの立ち上がりエッジに対する、CS, RS, WRITEXのセットアップ時間です。
 T_{AH8} はリード時のREADXの立ち上がりエッジに対する、CS, RS, WRITEXのホールド時間です。

5.3.1.2読み出しサイクルタイミング

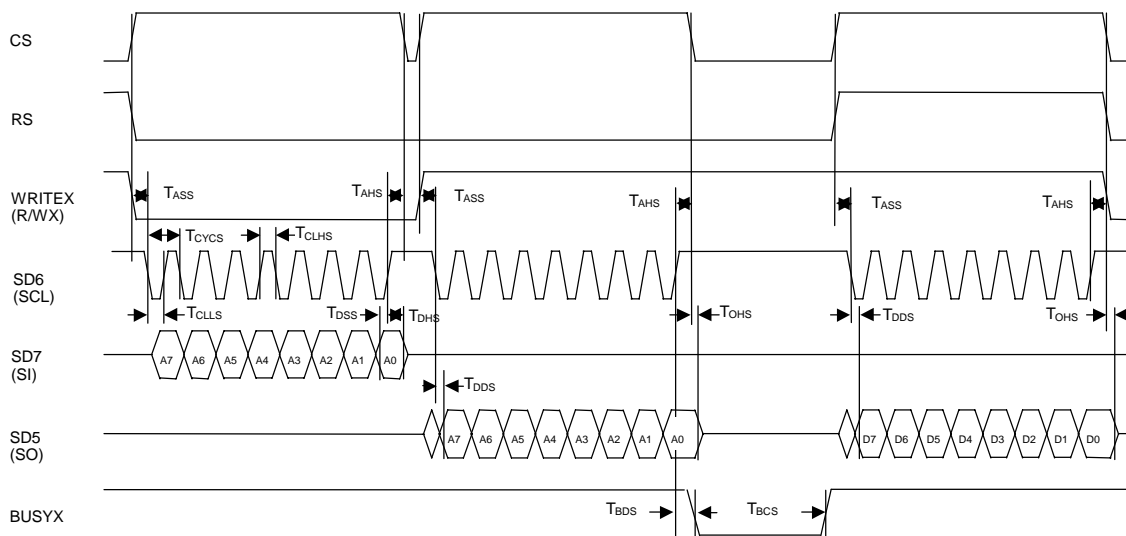


図 5-6 シリアルインターフェイス読み出しタイミング

記号	項目	最小	最大	注
T_{CYCS}	システムサイクル時間	100ns	-	
T_{CLLS}	クロック“L”時間	40ns	-	
T_{CLHS}	クロック“H”時間	40ns	-	
T_{ASS}	アドレスセットアップ時間	20ns	-	
T_{AHS}	アドレスホールド時間	20ns	-	
T_{DSS}	データセットアップ時間	20ns	-	
T_{DHS}	データホールド時間	20ns	-	
T_{DDS}	データ出力信号遅延時間	-	30ns	CL = 80pF
T_{OHS}	信号出力デイスティブル時間	-	20ns	CL = 80pF
T_{BDS}	BUSYX信号出力遅延時間	-	30ns	CL = 80pF
T_{BCS}	BUSYX信号パルス幅	2CLK	-	

- 注：
- CLKはS-7601Aのクロック信号です。
 - タイミングは信号波形の50%の位置で規定。
 - 入力信号の立ち上がり/立ち下り時間（20%、80%）は、15nsec以下。

表 5-8 シリアルインターフェイス読み出しサイクルタイミング

T_{ASS} はSD6の立下りエッジに対する、CS, RS, WRITEのセットアップ時間です。
 T_{AHS} はSD6の立下りエッジに対する、CS, RS, WRITEのホールド時間です。

5.3.2 SPIシリアルインターフェイス

5.3.2.1 概要

SPI(Serial Peripheral Interface)は、多くの8ビットMPUや8ビット市場向け周辺機器で一般的に使用されている高速3線シリアルバスです。このシリアルインターフェイスは、PSX端子を「L」に、またC86端子を「H」にして選択します。

このモードでは、SD[6]はシリアルクロック(SCK)、SD[7]はシリアル入力データ(MOSI)、SD[5]はシリアル出力データ(MISO)、CSはスレーブ選択(SSJ)として使用されます。SPIデバイスはマスタかスレーブです。S-7601Aは常にSPIスレーブデバイスとして機能します。マスタデバイスが常にクロックを提供します。クロックは、DCから4MHzとすることができます。S-7601Aのクロック周波数はSCK周波数の2倍以上とする必要があります。

MOSIはMaster Out/Slave Inを、またMISOはMaster In/Slave Outを意味します。

5.3.2.2 SPIクロックフォーマット

クロックフォーマットとビットフォーマットが選択可能です。以下に、クロック極性と位相が異なる場合のバイト波形を示します。クロック極性(cpol)はRS信号で制御され、クロック位相(cpha)はREADX信号で制御されます。またデータの順番はSD[4]入力信号("0"でMSBが先)で制御されます。S-7601Aは、これら4つのクロックフォーマットをすべてサポートしています。

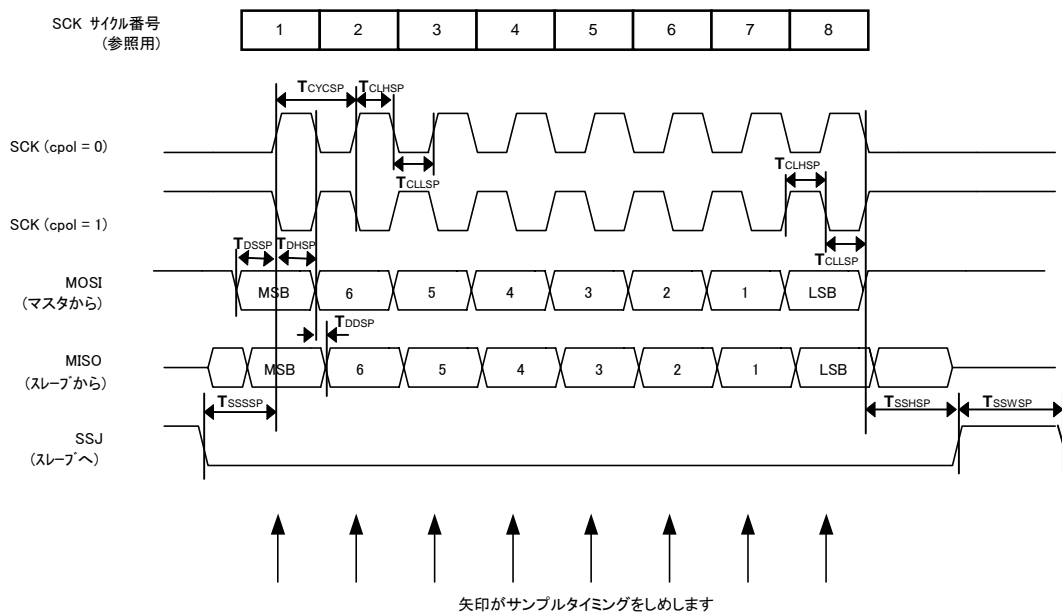


図 5-7 SPI タイミング (cpha = 0, data order = 0)

記号	項目	最小	最大	注
T_{CYCSP}	システムサイクル時間	250ns	-	
T_{CLLSP}	クロック“L”時間	40ns	-	
T_{CLHSP}	クロック“H”時間	40ns	-	
T_{DSSP}	データセットアップ時間	20ns	-	
T_{DHSP}	データホールド時間	20ns	-	
T_{DDSP}	データ出力信号遅延時間	-	30ns	CL=80pF
T_{SSSP}	SSJセットアップ時間	2CLK	-	
T_{SSHSP}	SSJホールド時間	3CLK	-	
T_{SSWSP}	SSJデイレイブル時間	2CLK	-	

注：

- CLK (S-7601Aのクロック信号) の周波数はSCKの周波数の2倍以上です。
- タイミングは信号波形の50%の位置で規定。
- 入力信号の立上り/立下り時間 (20%、80%) は、15nsec以下。

表 5-9 SPIシリアルインターフェイス書き込み / 読み出しサイクルタイミング

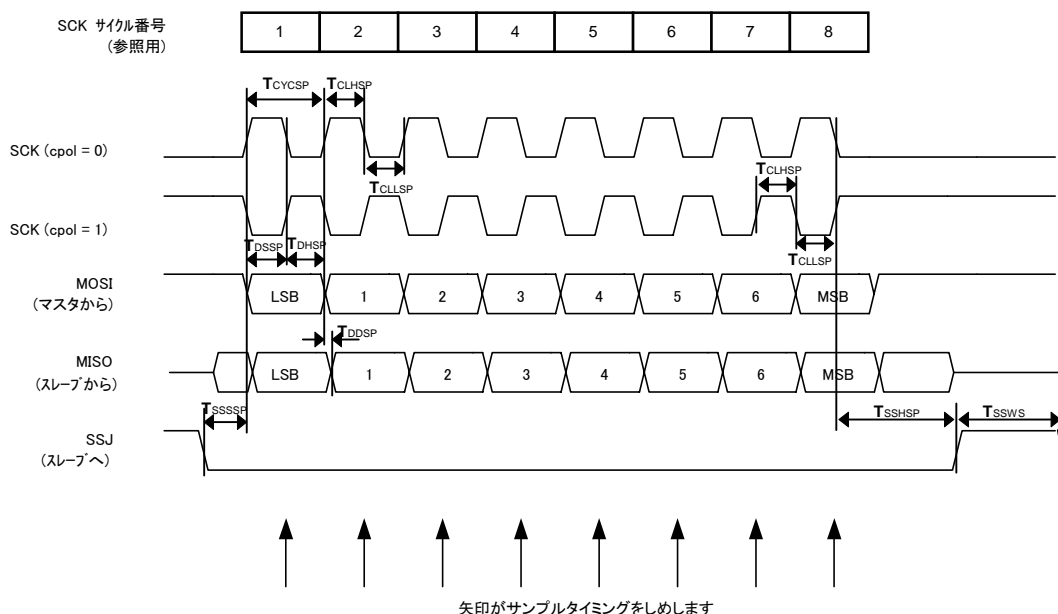


図 5-8 SPI タイミング (cpha = 1, data order = 1)

記号	項目	最小	最大	注
T_{CYCS}	システムサイクル時間	250ns	-	
T_{CLLS}	クロック“L”時間	40ns	-	
T_{CLHS}	クロック“H”時間	40ns	-	
T_{DSS}	データセットアップ時間	20ns	-	
T_{DHS}	データホールド時間	20ns	-	
T_{DDSP}	データ出力信号遅延時間	-	30ns	CL=80pF
T_{SSSP}	SSJセットアップ時間	2CLK	-	
T_{SSHSP}	SSJホールド時間	3CLK	-	
T_{SSWSP}	SSJデレイブル時間	2CLK	-	

- 注：
- CLK (S-7601Aのクロック信号) の周波数はSCKの周波数の2倍以上です。
 - タイミングは信号波形の50%の位置で規定。
 - 入力信号の立上り/立下り時間 (20%、80%) は、15nsec以下。

表 5-10 SPIシリアルインターフェイス書き込み / 読み出しサイクルタイミング

5.3.2.3 転送フォーマット

SPIインターフェイスによって通信を行う場合、アドレス、データ、コマンドはMOSIを共有します。読み出しサイクルの場合、マスタはまず8ビットアドレスを転送し、続いて読み出しコマンド(0x03)を、そして2つのヌルバイト(0x00)を転送します。S-7601Aは3番目のサイクルでデータを取り込み、4番目のサイクルでデータを返します。図5-9にこのフォーマットを示します。

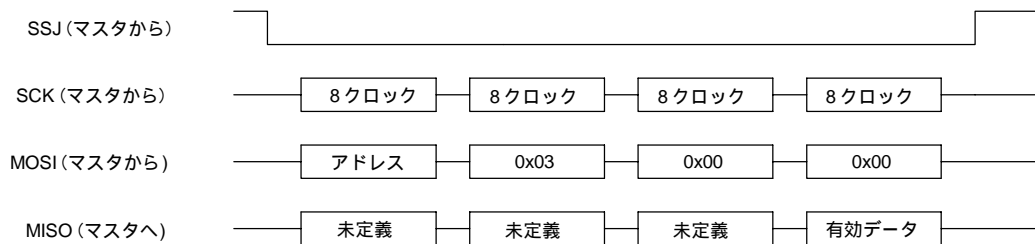


図 5-9 SPI読み出しサイクル

同じレジスタから複数のバイトを読み出す場合、マスタデバイスはすべてのデータが読み出されるまで読み出しコマンド(0x03)を発行しつづけます。この読み出しサイクルは、読み出されるデータバイト数にかかわらず2つのヌルバイト(0x00)で終了します。図5-10にこのフォーマットを示します。



図 5-10 SPIマルチバイトメモリ読み出しサイクル

書き込みサイクルの場合、マスタSPIデバイスはまず8ビットアドレスを転送し、続いて書き込みコマンド(0x02)を、そしてデータを転送します。書き込みサイクルでは、S-7601Aからの有効データはありません。図5-11にこのフォーマットを示します。

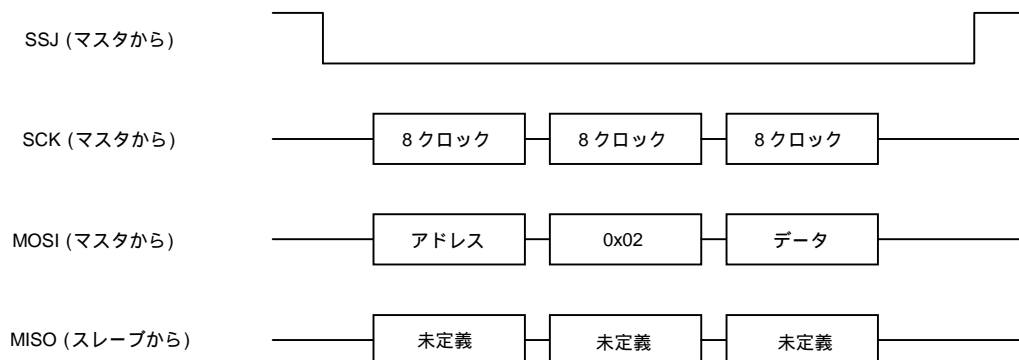


図 5-11 SPIシングルバイト書き込みサイクル

同じレジスタへ複数のバイトを書き込む場合は、マスタデバイスはアドレス、書き込みコマンド(0x02)の後に連続してデータの転送を行います。図5-12にこのフォーマットを示します。

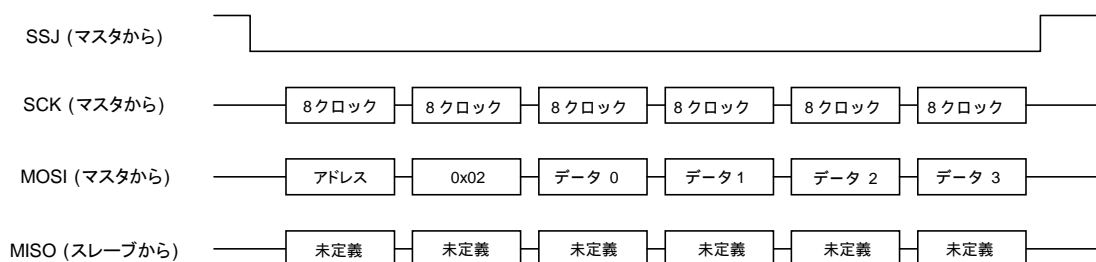


図 5-12 SPIマルチバイトメモリレジスタ書き込みサイクル

5.4 割り込み

割り込みフラグがS-7601Aの割り込みレジスタにセットされている間、割り込み信号はアクティブレベルを出力します。もしフラグがクリアされれば、割り込み信号はインアクティブレベルに戻ります。**INT1**と**INT2X**は、**INTCTL**の設定によりオープンドレインまたはCMOS出力になります。もし**INTCTL**が「H」であるならば、**INT1**と**INT2X**の出力はCMOSで、「L」ならばオープンドレイン出力です。表5-11に割り込み選択表を示します。

割り込みフラグ	INTCTL	INT1	INT2X
セット	H	H	L
セット	L	H	L
リセット	H	L	H
リセット	L	Hi-Z	Hi-Z

表5-11 割り込み選択表

6 メモリ仕様

6.1 概要

S-7601AにはTCP/UDP/IP、PPPと2つの汎用ソケットが実装されています。これを実現するために12KバイトメモリがS-7601Aに内蔵されています。

6.2 メモリインターフェイス構成

ネットワークスタックは、そのすべてのメモリアクセス要求をメモリアービタに入れます。メモリアクセス要求は、アービタ、SRAMインターフェイスを通して、SRAMが必要な制御信号に変換されます。この構成を図6-1に示します。

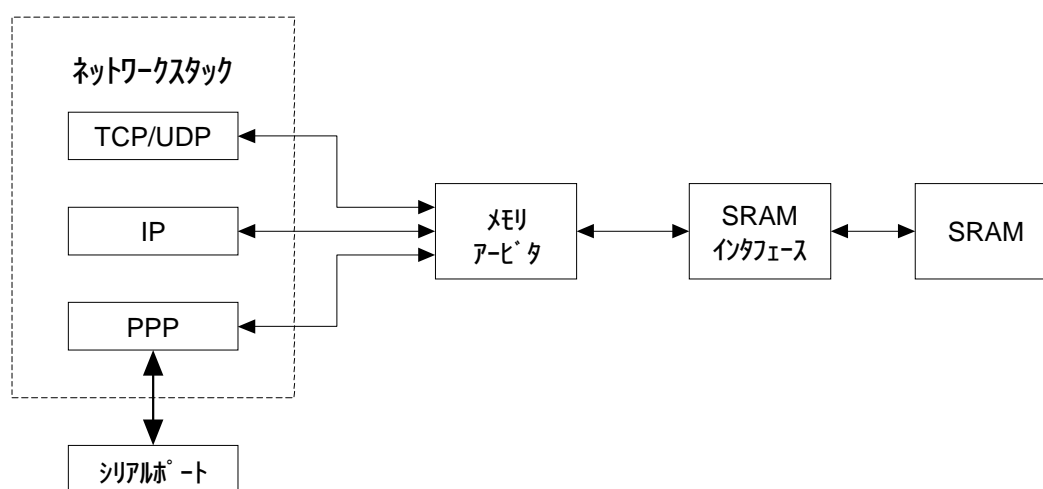


図 6-1 メモリインターフェイスの構成

6.3 メモリマップ

S-7601Aに必要なメモリマップは、コンパクトなSRAM容量で構成されています。S-7601Aは8Kバイトと4Kバイトのメモリバンクを持っています。このマッピングを表6-1と表6-2に示します。
受信バッファに格納できる実際のバイト数は、2047バイトです。
送信バッファに格納できる実際のバイト数は、1023バイトです。

表 6-1 S-7601Aメモリマップ (バンク0, 8Kバイト)

アドレス	サイズ	内容
0x0000 - 0x07FF	2K	ソケット0受信バッファ
0x0800 - 0x0FFF	2K	ソケット1受信バッファ
0x1000 - 0x13FF	1K	ソケット0送信バッファ
0x1400 - 0x17FF	1K	ソケット1送信バッファ
0x1800 - 0x1FFF	2K	IPバッファ

表 6-2 S-7601Aメモリマップ (バンク1, 4Kバイト)

アドレス	サイズ	内容
0x000 - 0x7FF	2K	PPPバッファ
0x800 - 0xBFF	1K	PAP/CHAPバッファ
0xC00 - 0xFFFF	1K	TCPデータヘッダ

7 S-7601Aレジスタ定義

7.1 概要

この項では、S-7601AのiAPIレジスタについて説明します。レジスタアドレスマッピングは、S-7600Aコンパチブルレジスタと拡張レジスタの2つのモードで提供されます。モードの選択は、汎用コントロールレジスタのNew_Reg_Modeビットを介して行われます。iAPIレジスタは、両方のレジスタセットで同じマッピング(アドレス0x01)をもちます。デフォルトでは、S-7601Aはリセット後S-7600Aコンパチブルマッピング(New_Reg_Mode=0)になります。どちらのマッピングでも、iAPIレジスタはダイレクトレジスタとインデックスレジスタの2種類に分類されます。ダイレクトレジスタはいつでもアクセスすることができます。一方インデックスレジスタでは、アクセスの前にマスタインデックスレジスタ(両方のレジスタマッピングで0x20)が正しいインデックスに設定されていなければなりません。

7.2 S-7600Aコンパチブル iAPI Register Map

表7-1と表7-2に、S-7601Aの全iAPIレジスタマップを示します。表に規定されていないすべてのレジスタは、使用が予約されていますのでアクセスしないでください。

- 注：
- 1) 予約されているビットをダッシュ(-)で示しています。予約されているすべてのビットは“0”が書き込まれなければなりません。
 - 2) インデックスレジスタはアスタリスク(*)で示しています。

表 7-1 S-7600Aコンパチブル iAPIレジスタマップ

アドレス	レジスタ名	ビットの規定							
0x00	レビジョンレジスタ Revision	上位レビジョン番号				下位レビジョン番号			
0x01	汎用コントロールレジスタ General_Control	-	-	-	-	-	NewReg	-	SW_RST
0x02	汎用ソケット レジスタ General_Socket_Location	-	-	-	-	-	-	S1	S0
0x04	マスタ割り込みレジスタ Master_Interrupt	-	-	-	-	-	PT_INT	LINK_INT	SOCK_INT
0x08	シリアルポートコンフィグレジスタ Serial_Port_Config	S_DAV	DCD	DSR/HWFC	CTS	RI	DTR	RTS	SCTL
0x09	シリアルポート割り込みレジスタ Serial_Port_Int	PT_INT	-	-	-	-	-	-	-
0x0A	シリアルポート割り込みレジスタマスク Serial_Port_Int_Mask	PINT_EN	DSINT_EN	DVINT_EN	-	-	-	-	-
0x0B	シリアルポートデータレジスタ Serial_Port_Data	シリアルポートデータレジスタ							
0x0C - 0x0D	ボーレートディバイダレジスタ BAUD_Rate_Div	ボーレートディバイダレジスタ							
0x10 - 0x13	自己IPアドレスレジスタ Our_IP_Address	自己IPアドレス							
0x1C	クロック分周下位レジスタ Clock_Div_Low	1KHZクロック分周の下位ビット							
0x1D	クロック分周上位レジスタ Clock_Div_High	1KHZクロック分周の上位ビット							
0x20	インデックスレジスタ Index	ソケットインデックス							
0x21	TOSレジスタ TOS*	サービスタイプフィールド							
0x22	ソケット レジスタ コンフィグ ステータス下位レジスタ* Socket_Config_Status_Low*	TO	Buff_Empty	Buff_Full	Data_Avail/RST	-	Protocol_Type		
0x23	ソケットステータス中間レジスタ* Socket_Status_Mid*	URG	RST	Term	ConU	TCP状態			
0x24	ソケットアクティブ化レジスタ Socekt_Activate	-	-	-	-	-	-	S1	S0
0x26	ソケット割り込みレジスタ Socket_Interrupt	-	-	-	-	-	-	I1	I0
0x28	ソケットデータ有効レジスタ Socket_Data_Avail	-	-	-	-	-	-	DAV1	DAV0

表 7-2 S-7600Aコンパチブル iAPIレジスタマップ (続)

アドレ	レジスタ名	ビットの定義							
0x2A	ソケット割り込みマスク下位レジスタ* Socket_Interrupt_Mask_Low*	TO_En	Buff_Emp_En	Buff_Full	Data_Avail_En	-	-	-	-
0x2B	ソケット割り込みマスク上位レジスタ* Socket_Interrupt_Mask_High*	URG_En	RST_En	Term_En	ConU_En	-	-	-	-
0x2C	ソケット割り込み下位レジスタ* Socket_Interrupt_Low*	TO	Buff_Empty	Buff_Full	Data_Avail	-	-	-	-
0x2D	ソケット割り込み上位レジスタ* Socket_Interrupt_High*	URG	RST	Term	ConU	-	-	-	-
0x2E	ソケットデータレジスタ* Socket_Data*	ソケット8ビットデータ							
0x30	TCPデータ送信 (WO) レジスタ* TCP_Data_Send (WO)*	任意の書き込みでデータを送信します。							
0x30 - 0x31	バッファ出力 (RO) レジスタ* Buffer_Out (RO)*	バッファ出力長							
0x32 - 0x33	バッファ入力 (RO) レジスタ* Buffer_In (RO)*	バッファ入力長							
0x34 - 0x35	緊急データポインタレジスタ* Urgent_Data_Pointer*	緊急データオフセットポインタ							
0x36 - 0x37	相手先ポートレジスタ* Their_Port*	相手先のポートアドレス							
0x38 - 0x39	自己ポートレジスタ* Our_Port*	自己ポートアドレス							
0x3A	ソケットステータス上位レジスタ* Socket_Status_High*	-	-	-	-	-	-	-	Snd_busy
0x3C - 0x3F	相手先IPアドレスレジスタ* Their_IP_Address*	相手先IPアドレス							
0x60	PPPコントロールステータスレジスタ PPP_Control_Status	PPP_Int	Con_Val	Use_PAP	To_Dis	PPP_Int_En	Kick	PPP_En	PPP_Up/SRset
0x61	PPP割り込みコードレジスタ PPP_Interrupt_Code	割り込みコード							
0x62	PPP最大リトライレジスタ PPP_Max_Retry	-				PPP最大リトライ			
0x64	PPPストリングレジスタ PPP_String	PAPユーザ名とパスワード							

注： 1) 予約されているビットをダッシュ (-) で示しています。予約されているすべてのビットには“0”が書き込まれなければなりません。

2) インデックスレジスタはアスタリスク (*) で示しています。

7.3 S-7600Aコンパチブル レジスタの説明

7.3.1.1 レビジョンレジスタ (0x00)

(読み出し専用。デフォルト0x22)

このダイレクト読み出し専用レジスタは設計の改訂版番号を示します。表7-3と表7-4にある設計の改訂フォーマットを参照してください。

表 7-3 レビジョンレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	上位レビジョン番号				下位レビジョン番号			
デフォルト	0x2				0x2			

表 7-4 レビジョンレジスタの説明

ビット	ビット名称	アクセス	説明
7:4	上位レビジョン番号	R	この4ビットでネットワークスタック コアの上位レビジョン番号を示します。
3:0	下位レビジョン番号	R	この4ビットでネットワークスタック コアの下位レビジョン番号を示します。

注：S-7600Aと値が異なります。

7.3.1.2 汎用コントロールレジスタ (0x01)

(読み出し/書き込み。デフォルト0x00)

このダイレクトレジスタはマスタソフトウェアリセットを含んでいます。表7-5と表7-6のレジスタフォーマットを参照してください。

表 7-5 汎用コントロールレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	NewReg	-	SW_RST
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットをダッシュ(-)で示しています。予約済みのすべてのビットには“0”が書き込まれなければなりません。

表 7-6 汎用コントロールレジスタの説明

ビット	ビット名称	アクセス	説明
2	NewReg	R/W	<p>拡張レジスタモード</p> <p>このビットは、拡張レジスタマップをイネーブルにします。このビットは、拡張レジスタにアクセスする前に設定されなければなりません。デフォルトでは、このビットはリセット後"0"になります。</p> <p>"0"でS-7600AコンパチブルiAPILレジスタマップ(デフォルト)</p> <p>"1"で拡張iAPILレジスタマップ</p>
0	SW_RST	W	<p>ソフトウェアリセット</p> <p>“H”レベルにすることによりネットワークスタックコアを初期状態に戻します。自動的にクリアされるので、通常動作のために“0”を書き込む必要はありません。</p> <p>“0”で通常動作</p> <p>“1”でソフトリセット</p>

7.3.1.3 汎用ソケット配置レジスタ (0x02)

(読み出し専用)

このレジスタは、汎用ソケットの配置をソフトウェア層にレポートするために使用されます。S-7601Aは2つの汎用ソケットを持っているため、ビット [1:0] だけが設定されます。

表 7-7 汎用ソケット配置レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	-	S1	S0
値	0	0	0	0	0	0	1	1

表 7-8 汎用ソケット配置レジスタの説明

ビット	ビット名称	アクセス	説明
1	S1	R	汎用ソケット1有効
0	S0	R	汎用ソケット0有効

7.3.1.4 マスタ割り込み (0x04)

(読み出し専用。デフォルト0x00)

このダイレクトレジスタはS-7601Aの割り込み要因を示します。

表 7-9 マスタ割り込みレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	PT_INT	LINK_INT	SOCK_INT
デフォルト	0	0	0	0	0	0	0	0

注： 予約済みのビットをダッシュ(-)で示しています。予約済みのすべてのビットには“0”が書き込まれなければなりません。

表 7-10 マスタ割り込みレジスタの説明

ビット	ビット名称	アクセス	説明
2	PT_INT	R	フィジカル転送ポート層割り込み フィジカル転送ポート層に割り込みが発生した時このビットが立ちます。どこに割り込みが発生したかは「シリアルポート割り込みレジスタ」をチェックしてください。
1	LINK_INT	R	リンク層割り込み リンク層に割り込みが発生した時このビットが立ちます。どこに割り込みが発生したかは「PPP割り込みコードレジスタ」をチェックしてください。
0	SOCK_INT	R	ソケット割り込み 通信に使用するソケットからの割り込みです。どのソケットで割り込みが発生したかは「ソケット割り込みレジスタ」をチェックしてください。

7.3.1.5 シリアルポートコンフィグ/ステータスレジスタ (0x08)

(読み出し/書き込み。デフォルト0X0XX110B)

このレジスタは、表7-11と表7-12に示すような、シリアルポートレジスタを構成しています。

表 7-11 コンフィグ/ステータスレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	S_DAV	DCD	DSR/ HWFC	CTS	RI	DTR	RTS	SCTL
デフォルト	0	-	0	-	-	1	1	0

表 7-12 コンフィグ/ステータスレジスタの説明

ビット	ビット名称	アクセス	説明
7	S_DAV	R/W	シリアルポートデータが有効 読み出し時、このビットによりシリアルポートデータの有効であることを示します。 このビットには“0”が書き込まれなければなりません。
6	DCD	R/W	キャリア検出 このビットはシリアルポート上の‘DCDビット’の現在の状態を示します。これは‘SCTLビット’の設定に無関係です。 このビットには“0”が書き込まれなければなりません。
5	DSR/HWFC	R/W	データ送信レディ/ハートウェアフロー制御 読み出し時、このビットはシリアルポート上の‘DSRビット’の現在の状態を示します。 書き込み時は “0”でハートウェアフロー制御が非アクティブ “1”でハートウェアフロー制御がアクティブ ハートウェアフロー制御についての詳細は第8章を参照してください。
4	CTS	R	送信クリア この読み出し専用ビットはシリアルポート上の‘CTSビット’の現在の状態を示します。これは‘SCTLビット’の設定に無関係です。
3	RI	R	リングインディケータ この読み出し専用ビットはシリアルポート上の‘RIビット’の現在の状態を示します。これは‘SCTLビット’の設定に無関係です。
2	DTR	R/W	データ端子レディ このビットを読み出すことでシリアルポート上の‘DTRビット’の現在の状態を知ることができます。このビットに書き込むことで‘DTR信号’を制御します。
1	RTS	R/W	送信要求 このビットを読み出すことでシリアルポート上の‘RTSビット’の現在の状態を知ることができます。このビットに書き込むことで‘RTS信号’を制御できます。
0	SCTL	R/W	シリアルポート制御 このビットでシリアルポートのコントローラを指定します。このビットが“0”（デフォルト）の時はMPUが、“1”の時はネットワークスタックがシリアルポートを制御します。 “0”でMPUがシリアルポートを制御 “1”でハートウェアがシリアルポートを制御

7.3.1.6 シリアルポート割り込みレジスタ (0x09)

(読み出し専用。デフォルト0X000000B)

このレジスタは、シリアルポートの割り込みの状態を示します。

表 7-13 シリアルポート割り込みレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	PT_INT	-	-	-	-	-	-	-
デフォルト	0	-	0	0	0	0	0	0

注：予約済みのビットをダッシュ(-)で示します。予約済みのすべてのビットには“0”が書き込まれなければなりません。

表 7-14 シリアルポート割り込みレジスタの説明

ビット	ビット名称	アクセス	説明
7	PT_INT	R	ポート転送割り込み このビットはシリアルポート割り込みがアクティブであることを示します。その動作は、シリアルポート割り込みマスクレジスタのPINT_ENとDSINT_ENとDVINT_ENビットの状態で決定されます。 PINT_ENはマスターのイェーブルビットです。PINT_ENが“1”の時、以下の組み合わせで割り込みが許可になります。 DVINT_ENの“1”の時、シリアルポート受信FIFOのデータが有効であれば、常に割り込みが発生します DSINT_ENが“1”の時、MPUが、シリアルポートデータレジスタへ1バイトのデータを送信できる場合は、割り込みが発生します。 もしDVINT_ENとDSINT_ENが両方とも許可される場合、いずれかの条件が満たされれば、割り込みはアクティブになります。

注：S-7600Aと制御方法が異なります。

7.3.1.7 シリアルポート割り込みマスクレジスタ (0x0A)

(読み出し/書き込み。デフォルト0x00)

このレジスタは、シリアルポート割り込みを許可します。このレジスタのデフォルト値は0x00です(割り込み禁止)。

表 7-15 シリアルポート割り込みマスクレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	PINT_EN	DSINT_EN	DVINT_EN	-	-	-	-	-
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットをダッシュ(-)で示します。予約済みのすべてのビットには“0”が書き込まれなければなりません。

表 7-16 シリアルポート割り込みマスクレジスタの説明

ビット	ビット名称	アクセス	説明
7	PINT_EN	R/W	ポート割り込み許可 ポートの割り込みを許可します。
6	DSINT_EN	R/W	データ送信割り込み許可 データ送信割り込みを許可します。
5	DVINT_EN	R/W	データ有効割り込み許可 データ有効割り込みを許可します。

注：S-7600Aと異なります。

7.3.1.8 シリアルポートデータレジスタ (0x0B)

(読み出し/書き込み)

このレジスタによりシリアルポート (UART) へのデータの送信、データの読み出しをします。シリアルポートコンフィグレジスタのS_DAVビットがセットされていれば、データは有効となります。シリアルポート割り込みマスクレジスタのPINT_ENビットとDSINT_ENビットが“1”の時、シリアルポート割り込みレジスタのPT_INTビットがセットされていれば、このレジスタに書き込みができます。詳しくは表7-14のレジスタ説明を参照してください。

注：このレジスタを使う場合は、シリアルポートコンフィグレジスタのSCTLビットを“L”にする必要があります。

7.3.1.9 ボーレートディバイダレジスタ (0x0C-0x0D)

(読み出し/書き込み。デフォルト0x0000)

これらのレジスタは、シリアルポートのボーレートを設定します。以下の式を使って値を計算してください：

$$\text{プログラム値} = [(\text{clk Freq}) / (\text{ボーレート})] - 1$$

ここで、clk FreqとはS-7601Aコアのためのクロックのことです。

例：S-7601Aのクロックレートは256KHzで、ボーレート64Kbpsが必要なとき、プログラム値は
(256KHz/64k) - 1 = 4 - 1 = 3

になります。

注：これらのレジスタにプログラムできる最低の値は0x0003です。

7.3.1.10 自己IPアドレスレジスタ (0x10-0x13)

(読み出し/書き込み。デフォルト0x00000000)

これらのレジスタには、ローカル機器のIPアドレスまたは自己IPアドレスを保存します。0x10レジスタは最下位バイトを保存し、0x13レジスタは最上位バイトを保存します。もしシステムコントローラがIPアドレスを書き込まないと、PPPネゴシエーション (フローティングIPアドレスの場合) を通じてIPアドレスを得ます。PPP接続が設定されると (レジスタ0x60のビット0で確認)、これらのレジスタを読み出して、得られたIPアドレスを知ることができます。

表 7-17 自己IPアドレスレジスタビットの定義 (0x10)

ビット	7	6	5	4	3	2	1	0
定義	ローカルIPアドレスの最下位バイト							
デフォルト	0x00							

表 7-18 自己IPアドレスレジスタビットの定義 (0x11)

ビット	7	6	5	4	3	2	1	0
定義	ローカルIPアドレスの第3位のバイト							
デフォルト	0x00							

表 7-19 自己IPアドレスレジスタビットの定義 (0x12)

ビット	7	6	5	4	3	2	1	0
定義	ローカルIPアドレスの第2位のビット							
デフォルト	0x00							

表 7-20 自己IPアドレスレジスタビットの定義 (0x13)

ビット	7	6	5	4	3	2	1	0
定義	ローカルIPアドレスの最上位ビット							
デフォルト	0x00							

7.3.1.11 クロック分周レジスタ (0x1C-0x1D)

(読み出し/書き込み。デフォルト0x03E7)

これらのレジスタにより1kHzのクロックジェネレータをプログラムします。このクロックは、S-7601Aの各種の内部タイミング機能用に使われます。以下の式により、これらのレジスタにプログラムする値を決定します：

$$(\text{clk Freq}/1\text{kHz}) - 1 = \text{分周比設定値}$$

ここでclk FreqはS-7601Aのクロック周波数です。従って、1MHzクロックのとき、分周比設定値は $1\text{M}/1\text{kHz} - 1 = 999 = 0x03e7$ になります。

7.3.1.12 インデックスレジスタ (0x20)

(読み出し/書き込み。デフォルト0x00)

インデックスソケットレジスタにアクセスする前に、このレジスタをプログラムしなければなりません。有効なプログラム値は0x00と0x01です。もし最後のアクセス以降選択されたソケット番号が変わらなければ、このレジスタを再プログラムする必要はありません。

表 7-21 インデックスレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	ソケットインデックス [7:0]							
デフォルト	0x00							

表 7-22 インデックスレジスタの説明

ビット	ビット名称	アクセス	説明
7:0	Socket_Index	R/W	0x00：汎用ソケット0を選択 0x01：汎用ソケット1を選択 他の値はすべて予約済みです。

7.3.1.13 サービスタイプレジスタ (TOS) (0x21)

(読み出し/書き込み。デフォルト0x00)

このレジスタは送信データグラム用に、IPヘッダ内にTOSフィールドを構成します。デフォルトは0x00です。

7.3.1.14 ソケットコンフィグステータス下位レジスタ (0x22)

(読み出し/書き込み。デフォルト0x40)

このレジスタはソケットの構成を示します。

表 7-23 ソケットコンフィグステータス下位レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	TO	Buff_Empty	Buff_Full	Data_Avail/RST	-	Protocol_Type		
デフォルト	0	1	0	0	0	0		

注： 予約済みのビットをダッシュ(-)で示します。予約済みのすべてのビットには“0”が書き込まれなければなりません。

表 7-24 ソケットコンフィグステータス下位レジスタの説明

ビット	ビット名称	アクセス	説明
7	TO	R	TCPタイムアウト このビットはTCP接続しようとしている間、または接続された後TCPパケットを待っている間にTCPタイムアウトが発生したことを示します。 “0”で通常動作状態 “1”でタイムアウト発生
6	Buff_Empty	R	このビットはソケットの送信バッファ内にデータがあるかどうかを示し、データがなければ“1”をセットします。ソケット送信バッファ内にデータがあれば“0”にして、データがある限り“0”のままになります。 “0”でバッファ内にデータ有り “1”でバッファ内にデータ無し
5	Buff_Full	R	このビットは送信バッファが一杯（1023バイト以上）であることを示します。この時、ソケット割り込みマスク下位レジスタ（0x2A）の‘Buff_Full_Enビット’がセットされれば、割り込みが発生します。このビットが“1”のときはレジスタに書き込みをしてはいけません。 “0”でバッファ領域利用可能 “1”でバッファ領域利用不可
4	Data_Avail/RST	R/W	このビットに“1”を書き込むと、すべてのソケットパラメータがデフォルト値に設定されます。自動的にクリアされるので、通常動作をさせるために“0”を書き込む必要はありません。ソケットをリセットする前に、ソケットステータス上位レジスタ（0x3A）の‘Snd_Bsyビット’が“0”であることを確認してください。読み出しの場合、このビットはソケットに有効な受信データがあることを示します。
2:0	Protocol_Type	R/W	このビットはソケットのプロトコルを設定するために使います。下記以外のコードはすべて予約済みです。 “010”でTCPクライアントモード “101”でUDPモード “110”でTCPサーバモード

7.3.1.15 ソケットステータス中間レジスタ (0x23)

(読み出し専用。デフォルト0x00)

この読み出し専用レジスタは、残りのソケットステータス状態を示しています。

表 7-25 ソケットステータス中間レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	URG	RST	Term	ConU	TCP状態			
デフォルト	0	0	0	0	0x0			

表 7-26 ソケットステータス中間レジスタの説明

ビット	ビット名称	アクセス	説明
7	URG	R	このビットは緊急のデータが来たことを示します。ソケット割り込み上位レジスタのURGビット(ビット7)に“1”を書き込むと、このビットはクリアされます。 “0”で緊急のデータ無し “1”で緊急のデータ有り
6	RST	R	このビットはTCPピアからソケットがRST信号を受け取ったことを示します。 “0”でRST信号を受け取っていない “1”でRST信号を受け取った
5	Term	R	このビットは、ソケットがリスから切り離されたことを示します。この時、ソケット割り込みマスク上位レジスタ(0x2B)のTerm_Enビットがセットされていればソケットに割り込みが発生します。割り込みマスクをセットしてもこのステータスビットの状態に影響を与えません。 “0”で通常動作状態 “1”でリスからソケットは切り離されている このビットはFINフラグが“ON”状態でS-7601AがTCPセグメントを受け取ったとき“1”になります。これは、リモートピアがTCP接続を切断するよう要求したことを示しています。
4	ConU	R	このビットはソケットがホストマシンと接続したことを示します。接続を切断したとき(どちらかの端末で)、クリアされます。 “0”で非接続状態 “1”で接続状態
3:0	TCP State	R	これらのビットは現在のTCPの状態を示します。 0=CLOSED 1=SYN_SENT 2=ESTABLISHED 3=CLOSE_WAIT 4=LAST_ACK 5=FIN_WAIT1 6=FIN_WAIT2 7=CLOSING 8=TIME_WAIT 9=LISTEN a=SYN_RECVD

7.3.1.16 ソケットアクティブレジスタ (0x24)

(読み出し/書き込み。デフォルト0x00)

このレジスタは、ソケットをアクティブにするために、また個々のソケットの現在のステータスを示すために使用されます。ビットに“1”を設定することで、対応するソケットをアクティブにします。このレジスタはリセットによりデフォルト値0x00になります。

表 7-27 ソケットアクティブレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	-	S1	S0
デフォルト	0	0	0	0	0	0	0	0

表 7-28 ソケットアクティブレジスタの説明

ビット	ビット名称	アクセス	説明
1	S1	R/W	このビットは汎用ソケット1をアクティブにするために使用します。 “0”で汎用ソケット1が非アクティブ “1”で汎用ソケット1がアクティブ
0	S0	R/W	このビットは汎用ソケット0をアクティブにするために使用します。 “0”で汎用ソケット0が非アクティブ “1”で汎用ソケット0がアクティブ

7.3.1.17 ソケット割り込みレジスタ (0x26)

(読み出し専用。デフォルト0x00)

このレジスタは、どのソケットが割り込みを持っているかを示します。割り込みのソケットの識別をする際、実際の割り込み要因は、特定のソケット割り込みレジスタを調べることによって決定されます。

表 7-29 ソケット割り込みレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	-	I1	I0
デフォルト	0	0	0	0	0	0	0	0

表 7-30 ソケット割り込みレジスタの説明

ビット	ビット名称	アクセス	説明
1	I1	R	このビットはソケット1の割り込み状態を示します。 “0” で汎用ソケット1割り込み非アクティブ “1” で汎用ソケット1割り込みアクティブ
0	I0	R	このビットは汎用ソケット0の割り込み状態を示します。 “0” で汎用ソケット0割り込み非アクティブ “1” で汎用ソケット0割り込みアクティブ

7.3.1.18ソケットデータ有効レジスタ (0x28)

(読み出し専用。デフォルト0x00)

この読み出し専用レジスタは、入力バッファの中にどちらのソケットのデータを持っているかを示します。ビットの“1”は、ソケットが利用可能なデータを持っていることを示します。このビットは、利用可能なデータがある限りセットされたままです。

表 7-31 ソケットデータ有効レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	-	DAV1	DAV0
デフォルト	0	0	0	0	0	0	0	0

表 7-32 ソケットデータ有効レジスタの説明

ビット	ビット名称	アクセス	説明
1	DAV1	R	このビットはソケット1が利用可能なデータを持っていることを示します。 “0” で汎用ソケット1に利用可能なデータ無し “1” で汎用ソケット1に利用可能なデータ有り
0	DAV0	R	このビットはソケット0が利用可能なデータを持っていることを示します。 “0” で汎用ソケット0に利用可能なデータ無し “1” で汎用ソケット0に利用可能なデータ有り

7.3.1.19 ソケット割り込みマスク下位レジスタ (0x2A)

(読み出し/書き込み。デフォルト0x00)

このレジスタは一連の割り込みの許可状態を知らせます。ビットを設定することにより対応する割り込みを許可します。

表 7-33 ソケット割り込みマスク下位レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	TO_En	Buff_Emp_En	Buff_Full_En	Data_Avail_En	-	-	-	-
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットをダッシュ(-)で示します。予約済みのすべてのビットには“0”が書き込まれなければなりません。

表 7-34 ソケット割り込みマスク下位レジスタの説明

ビット	ビット名称	アクセス	説明
7	TO_En	R/W	“1”を書き込むことで‘Timeout’割り込みを許可します。
6	Buff_Empty_En	R/W	“1”を書き込むことで‘Buffer Empty’割り込みを許可します。
5	Buff_Full_En	R/W	“1”を書き込むことで‘Buffer Full’割り込みを許可します。
4	Data_Avail_En	R/W	“1”を書き込むことで‘Data Available’割り込みを許可します。

7.3.1.20 ソケット割り込みマスク上位レジスタ (0x2B)

(読み出し/書き込み。デフォルト0x00)

このレジスタは一連の割り込みの許可状態を知らせます。ビットを設定することにより対応する割り込みが許可されます。

表 7-35 ソケット割り込みマスク上位レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	URG_En	RST_En	Term_En	ConU_En	-	-	-	-
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットをダッシュ(-)で示します。予約済みのすべてのビットには“0”が書き込まれなければなりません。

表 7-36 ソケット割り込みマスク上位レジスタの説明

ビット	ビット名称	アクセス	説明
7	URG_En	R/W	“1”を書き込むことで‘Urgent Data’割り込みを許可します。
6	RST_En	R/W	“1”を書き込むことで‘Connection Reset’割り込みを許可します。
5	Term_En	R/W	“1”を書き込むことで‘Socket Termination’割り込みを許可します。
4	ConU_En	R/W	“1”を書き込むことで‘Connection Up’割り込みを許可します。

7.3.1.21 ソケット割り込み下位レジスタ (0x2C)

(読み出し/書き込み。デフォルト0x00)

このレジスタは一連の割り込みの発生状況を知らせます。割り込み条件が起こり、その許可ビットがセットされていれば、ハードウェアは対応するビットをセットします。そのビットに“1”を書き込むことにより割り込みはクリアされます。対応する許可ビットを不許可にすると、割り込みを確認することができません。

表 7-37 ソケット割り込み下位レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	TO	Buff_Empty	Buff_Full	Data_Avail	-	-	-	-
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットをダッシュ(-)で示します。予約済みのすべてのビットには“0”が書き込まなければなりません。

表 7-38 ソケット割り込み下位レジスタの説明

ビット	ビット名称	アクセス	説明
7	TO	R/W	この割り込みは、接続しようとしている時にタイムアウトの条件が発生した場合に起こります。このビットに“1”を書き込むことで割り込みをクリアします。
6	Buff_Empty	R/W	この割り込みは送信バッファが空の時に起こります。このビットに“1”を書き込むことで割り込みをクリアします。
5	Buff_Full	R/W	この割り込みは送信バッファが一杯(1023バイト)の時起こります。このビットに“1”を書き込むことで割り込みをクリアします。
4	Data_Avail	R/W	この割り込みは受信バッファからのデータが有効である時に起こります。このビットに“1”を書き込むことで割り込みをクリアします。

7.3.1.22 ソケット割り込み上位レジスタ (0x2D)

(読み出し/書き込み。デフォルト0x00)

このレジスタは一連の割り込みの発生状況を知らせます。割り込み条件が起こり、その許可ビットがセットされていれば、ハードウェアは対応するビットをセットします。そのビットに“1”を書き込むことにより割り込みはクリアされます。対応する許可ビットを不許可にすると、割り込みを確認することはできません。

表 7-39 ソケット割り込み上位レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	URG	RST	Term	ConU	-	-	-	-
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットをダッシュ(-)で示します。予約済みのすべてのビットには“0”が書き込まなければなりません。

表 7-40 ソケット割り込み上位レジスタの説明

ビット	ビット名称	アクセス	説明
7	URG	R/W	この割り込みは緊急データが来た時に起こります。システムインターフェイスはデータの場所を知るために、緊急データレジスタを読み出さなくてはなりません。このビットに“1”を書き込むことで割り込みをクリアします。
6	RST	R/W	この割り込みは、現在のTCPセッションが不確実であることを示す‘RSTフラグ’をTCPピアが送信した時に起こります。このビットに“1”を書き込むと割り込みはクリアされます。この状態になるとハードウェアはもはや正常動作を期待できないので、ソケットを再インシャライズすべきです。
5	Term	R/W	この割り込みはソケット接続が閉鎖されて‘TCP FINフラグ’を受け取った時に起こります。このビットに“1”を書き込むことで割り込みをクリアします。
4	ConU	R/W	この割り込みは接続が確立した時に起こります。このビットに“1”を書き込むことで割り込みをクリアします。

7.3.1.23ソケットデータレジスタ (0x2E)

(メモリマップ読み出し/書き込み。デフォルト0x00)

このレジスタは、受信データパケットの読み出しと送信データの書き込みのために、システムコントローラが使用します。このレジスタに送信データを書き込んだ後、レジスタ0x30に何らかのデータを書き込むと、TCP接続上でのデータ通信を始めます。

7.3.1.24TCPデータ送信、バッファ出力長レジスタ (0x30-0x31)

(読み出し/書き込み。デフォルト0x03FF)

読み出し時、これらのレジスタは送信バッファ内の利用可能な領域を知らせます。レジスタ0x30は最下位バイトを、レジスタ0x31は最上位バイトを蓄えます。レジスタ0x30に何らかのデータを書き込むと、TCP接続上でのデータ通信を始めます。

7.3.1.25バッファ入力長レジスタ (0x32-0x33)

(読み出し専用。デフォルト0x0000)

これらの読み出し専用レジスタは、受信データバッファ内での利用可能なデータ量を知らせます。レジスタ0x32は最下位バイト、レジスタ0x33は最上位バイトを蓄えます。

7.3.1.26緊急データポインタレジスタ (0x34-0x35)

(読み出し専用。デフォルト0x0000)

これらの読み出し専用レジスタは、受信データバッファ内の緊急データ (TCPヘッダを通してマークされるような) の開始オフセットを知らせます。レジスタ0x34は最下位バイトを、レジスタ0x35は最上位バイトを蓄えます。

7.3.1.27 相手先ポートレジスタ (0x36-0x37)

(読み出し/書き込み。デフォルト0x0000)

これらのレジスタは送信データパケットのために相手先ポートを指定します。TCPクライアントモード、UDPモードでは、この値は、ソケットをアクティブにする前に設定されなければなりません。TCPサーバモードでは、これらのレジスタは、接続時にピアから送信されるポート番号へ自動的にセットアップされます。レジスタ0x36は最下位バイトを、レジスタ0x37は最上位バイトを蓄えます。

表 7-41 相手先ポートレジスタビットの定義 (0x36)

ビット	7	6	5	4	3	2	1	0
定義	相手先ポート番号の最下位バイト							
デフォルト	0x00							

表 7-42 相手先ポートレジスタビットの定義 (0x37)

ビット	7	6	5	4	3	2	1	0
定義	相手先ポート番号の最上位バイト							
デフォルト	0x00							

7.3.1.28 自己ポートレジスタ (0x38-0x39)

(読み出し/書き込み。デフォルト0x0000)

これらのレジスタは送信データパケットのためのソースポートを示すために使われます。TCPクライアントモード、UDPモードでは、これらのレジスタに、適切な値を設定しなければなりません。通常、クライアントアプリケーションでは、ソフトウェアによりこのレジスタの値を増やしていきます。TCP/UDPサーバとして適用する場合、これらのレジスタには、サーバアプリケーションにより使われる値を設定しなければなりません。レジスタ0x38は最下位バイトを、レジスタ0x39は最上位バイトを蓄えます。

表 7-43 自己ポートレジスタビットの定義 (0x38)

ビット	7	6	5	4	3	2	1	0
定義	自己ポート番号の最下位バイト							
デフォルト	0x00							

表 7-44 自己ポートレジスタビットの定義 (0x39)

ビット	7	6	5	4	3	2	1	0
定義	自己ポート番号の最上位バイト							
デフォルト	0x00							

7.3.1.29 ソケットステータス上位レジスタ (0x3A)

(読み出し専用。デフォルト0x00)

このレジスタはソケットのビジー状態を知らせます。

表 7-45 ソケットステータス上位レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	-	-	Snd_Bsy
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットをダッシュ(-)で示します。予約済みのすべてのビットには“0”が書き込まれなければなりません。

表 7-46 ソケットステータス上位レジスタの説明

ビット	ビット名称	アクセス	説明
0	Snd_Bsy	R	このビットは現在のソケットがTCPセグメントを送信している最中であることを示します。ソケットをリセットする前、このビットを“0”にしなければなりません。 “0”でソケットはノビジー “1”でソケットはビジー

7.3.1.30 相手先IPアドレスレジスタ (0x3C-0x3F)

(読み出し/書き込み。デフォルト0x00000000)

これらのレジスタはソケットのために相手先IPアドレスを示します。TCPクライアントモード、UDPモードでは、ソケットをアクティブにする前に、値を設定しなければなりません。TCPサーバモードでは、これらのレジスタは、接続時にピアから送信されるIPアドレスへ自動的にセットアップされます。レジスタはどのような順序にでも書き込めます。

表 7-47 相手先IPアドレスレジスタビットの定義 (0x3C)

ビット	7	6	5	4	3	2	1	0
定義	相手先IPアドレスの最下位ビット							
デフォルト	0x00							

表 7-48 相手先IPアドレスレジスタビットの定義 (0x3D)

ビット	7	6	5	4	3	2	1	0
定義	相手先IPアドレスの第3位ビット							
デフォルト	0x00							

表 7-49 相手先IPアドレスレジスタビットの定義 (0x3E)

ビット	7	6	5	4	3	2	1	0
定義	相手先IPアドレスの第2位ビット							
デフォルト	0x00							

表 7-50 相手先IPアドレスレジスタビットの定義 (0x3F)

ビット	7	6	5	4	3	2	1	0
定義	相手先IPアドレスの最上位ビット							
デフォルト	0x00							

7.3.1.31 PPPコントロール/ステータスレジスタ (0x60)

(読み出し/書き込み。デフォルト0x00)

このレジスタはPPP層の制御、およびそのステータスを知らせます。

表 7-51 PPPコントロール/ステータスレジスタビットの定義 (0x60)

ビット	7	6	5	4	3	2	1	0
定義	PPP_Int	Con_Val	Use_PAP	TO_Dis	PPP_Int_En	Kick	PPP_En	PPP_Up/SRst
デフォルト	0	0	0	0	0	0	0	0

表 7-52 PPPコントロール/ステータスレジスタの説明

ビット	ビット名称	アクセス	説明
7	PPP_Int	R/W	PPP割り込み このビットはPPPが割り込みを起こしたことを示します。PPP割り込みコードレジスタを読み出すことで、原因を知ることができます。このビット位置に“1”を書き込むことで割り込みをクリアします。
6	Con_Val	R/W	接続確定 このビットは下層の接続が完了して確定したことをネットワークスタックに知らせます。 “0”で接続がダウン(デフォルト) “1”で接続完了
5	Use_PAP	R/W	このビットでPPPプロトコル内のPAPの認証をイネーブルにします。イネーブルになっていれば、PAPの認証がリクエストされた後でPAPリクエストが出されます。PAPストリングがレジスタ0x64に入ります。 “0”でPAPディスイネーブル(デフォルト) “1”でPAPイネーブル
4	TO_Dis	R/W	このビットはテスト用途のため、必ず“0”を書き込んで下さい。
3	PPP_Int_En	R/W	PPP割り込み許可 このビットはPPP割り込みをイネーブルにします。 “0”でPPP割り込みディスイネーブル(デフォルト) “1”でPPP割り込みイネーブル
2	Kick	W	このビットはテスト用途のため、必ず“0”を書き込んで下さい。
1	PPP_En	R/W	PPPイネーブル このビットはPPP層をイネーブルにします。通信前にこのビットをセットする必要があります。 “0”でPPPディスイネーブル(デフォルト) “1”でPPPイネーブル

ビット	ビット名称	アクセス	説明
0	PPP_UP/SRst	R/W	読み出し時、このビットはPPP層が接続が確立したことを示します。 “0”でPPP接続ダウン “1”でPPP接続を確立 書き込み時は、このビットはPPPIンジンをリセットします。自動クリアしますので、“0”を書き込まなくても通常動作になります。 “0”でPPP通常動作 “1”でPPPIリセット

7.3.1.32 PPP割り込みコード (0x61)

(読み出し専用。デフォルト0x00)

このレジスタは、PPP割り込みを起こした時の割り込み条件を示します。

表 7-53 PPP割り込みコードレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	PPP割り込みコード							
デフォルト	0							

表 7-54 PPP割り込みステータスコード

ステータスコード	説明
0x00	予約済み
0x01	PPPが初期のLCPネゴシエーションに失敗
0x02	PPPがNCPネゴシエーションに失敗
0x05	PAPがネゴシエーション失敗
0x09	PPP完了
0x0A	PPPダウン

注： その他のステータスコードは予約済みです。
S-7600Aに対して、ステータスコード0x09, 0x0Aが追加されています。
これらもPPP割り込み要因です。

7.3.1.33 PPP最大リトライレジスタ (0x62)

(読み出し/書き込み。デフォルト0x0A)

このレジスタは最大リトライ数を配置しています。この数は、PPP確立段階の間に送られるコンフィギュレーション要求の最大数を決定するために用いられます。

表 7-55 PPP最大リトライレジスタ

ビット	7	6	5	4	3	2	1	0
定義	-				PPP最大リトライ			
デフォルト	0x0				0xA			

注： 予約済みのビットをダッシュ(-)で示します。

7.3.1.34 PAP スtring レジスタ (0x64)

(書き込み専用)

この書き込み専用レジスタはPAP構成要求パケットのためのStringを入力します。表7-56に示したフォーマットに従ってStringを入力してください。

表 7-56 PAP String フォーマット

バイト	String
[0]	ユーザ名の長さ
[1]	ユーザ名の最初のバイト
[2]	ユーザ名の2番目のバイト
[n]	ユーザ名の最後のバイト (ここで“n”はユーザ名Stringの長さです。)
[n+1]	パスワードの長さ
[n+2]	パスワードの最初のバイト
[n+m+1]	パスワードの最後のバイト (ここで“m”はパスワードStringの長さです。)

例：ユーザ名Stringが「joe」であり、パスワードは「public」として、表7-57に示すようにバイトを入力してください。

表 7-57 PAP String の例

バイト:0	0x03	ユーザ名Stringの長さ
バイト:1	0x6a	文字“j”
バイト:2	0x6f	文字“o”
バイト:3	0x65	文字“e”
バイト:4	0x06	パスワードStringの長さ
バイト:5	0x70	文字“p”
バイト:6	0x75	文字“u”
バイト:7	0x62	文字“b”
バイト:8	0x6c	文字“l”
バイト:9	0x69	文字“i”
バイト:a	0x63	文字“c”

もしPAPを使うならば、PAP Stringを入力する前に、PPPコントロール/ステータスレジスタ (0x60) に‘Use_PAPビット’を設定しなければなりません。

7.4 拡張iAPIレジスタマップ

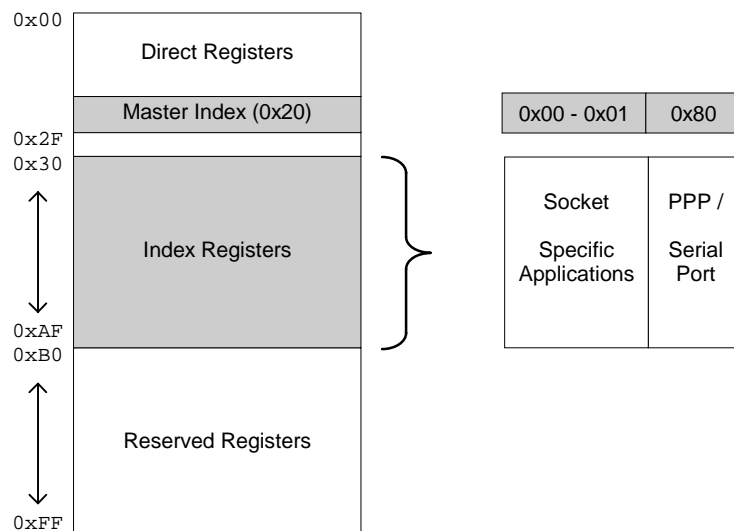
7.4.1 拡張iAPIレジスタマップの概要

拡張iAPIレジスタマップは、ダイレクトレジスタとインデックスレジスタの2種類に分類されます。

ダイレクトレジスタは、0x00から0x2Fまでのアドレス空間を占めます。ダイレクトレジスタは、マスタインデックスレジスタを設定せずにアクセスすることができます。

インデックスレジスタは、0x30から0xAFまでのアドレス空間を占めます。インデックスレジスタにアクセスする前に、マスタインデックスレジスタが0x00(ソケット0の場合)か0x01(ソケット1の場合)あるいは、0x80(PPP/シリアルポートの場合) のインデックスで設定されている必要があります。図7-1を参照してください。

図 7-1 トップレベルレジスタマップ



7.4.2 拡張iAPIレジスタマップ

表7-58は、S-7601Aの拡張iAPIレジスタマップを示しています。リストしていないレジスタは予約済みですので、アクセスすることはできません。

表 7-58 iAPIレジスタマップ

アドレス	レジスタ名	ビットの定義							
		上位レビジョン番号(0x2)				下位レビジョン番号(0x2)			
0x00	レビジョンレジスタ Revision								
0x01	汎用コントロールレジスタ General_Control	-	-	-	-	-	New_Re g	-	SW_ Rst
0x02	汎用ソケットレジスタ General_Socket_Location	-	-	-	-	-	-	S1	S0
0x04	マスタ割り込みレジスタ Master_Interrupt	-	-	-	-	-	PT_ Int	Link_ Int	Sock_ Int
0x1C	クロック分周下位レジスタ Clock_Div_Low	1KHzクロック分周の下位ビット							
0x1D	クロック分周上位レジスタ Clock_Div_High	1KHzクロック分周の上位ビット							
0x20	マスタインデックスレジスタ Master_Index	アクセスするレジスタのインデックス値							
0x24	ソケットアクティブレジスタ Socket_Activate	ソケットをアクティブにします。						S1	S0
0x26	ソケット割り込みレジスタ Socket_Interrupt	ソケット割り込みステータス						I1	I0
0x28	ソケットデータ有効レジスタ Socket_Data_Avail	ソケットデータ有効						DAV1	DAV0
0x30- 0xAF	インデックスレジスタ Indexed	インデックスレジスタ							
0xB0- 0xFF	予約済みレジスタ Reserved	予約済みレジスタ							

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

汎用ソケットは、下表のレジスタを使用します。これらのレジスタにアクセスする前に、マスタインデックスレジスタを0x00(ソケット0の場合)か0x01(ソケット1の場合)でプログラムしなければなりません。

表 7-59 汎用ソケットで使用されるインデックスレジスタ

iAPI	レジスタ名	レジスタの定義							
0x30	ソケットアプリケーションIDレジスタ Socket_App_ID	アプリケーションID(0x10)							
0x31	ソケットレビジョンレジスタ Socket_Revision	レビジョン(0x27)							
0x32	ソケットコンフィグレーションレジスタ Socket_Config	-	-	-	-	-	Type		
0x34	ソケットステータス0レジスタ Socket_Stat_0	TO	Snd_Emp	-	Rcv_Dav	-	-	-	-
0x35	ソケットステータス1レジスタ Socket_Stat_1	Urg	Rcv_Rst	Rcv_Fin	Con_Up	-	-	-	-
0x36	ソケット割り込みイネーブル0レジスタ Socket_Int_En_0	TO_En	Snd_EmpEn	-	Rcv_DavEn	-	-	-	-
0x37	ソケット割り込みイネーブル1レジスタ Socket_Int_En_1	Urg_En	Rcv_RstEn	Rcv_FinEn	Con_UP_En	-	-	-	-
0x38	ソケット割り込みステータス0レジスタ Socket_Int_Stat_0	TO	Snd_Emp	-	Rcv_Dav	-	-	-	-
0x39	ソケット割り込みステータス1レジスタ Socket_Int_Stat_1	Urg	Rcv_Rst	Rcv_Fin	Con_Up	-	-	-	-
0x3A	ソケットコマンドレジスタ Socket_Command	-	-	-	Sck_Clr	-	-	-	Send_Go
0x3C	ソケットデータレジスタ Socket_Data	ソケットデータ							
0x44 – 0x47	リモートIPアドレスレジスタ Remote_IP_Address	リモートIPアドレス							
0x48 – 0x49	ローカルポートレジスタ Local_Port	ローカルポート番号							
0x4A – 0x4B	リモートポートレジスタ Remote_Port	リモートポート番号							
0x4C – 0x4D	バッファ出力長レジスタ Buffer_Len_Out	バッファ出力長							
0x4E – 0x4F	バッファ入力長レジスタ Buffer_Len_In	バッファ入力長							
0x51	遅延ACKコントロールレジスタ Delayed_ACK_Control	遅延ACK時間							
0x53	サービスタイプレジスタ TOS	サービスタイプ							
0x54 – 0x55	緊急ポインタレジスタ Urgent_Pointer	緊急ポインタ							
0x56 – 0x57	最大セグメントサイズレジスタ MSS	最大セグメントサイズ							
0x5A	ソケットステータス2レジスタ Socket_Stat_2	-	-	-	Sck_Busy	TCP状態			
0x5C – 0x5D	TCPクロック分周レジスタ TCP_Clk_Divider	TCPクロック分周設定値							

iAPI	レジスタ名	レジスタの定義							
0x5E	TCPクロックイネーブルレジスタ TCP_Clk_Enable	-	-	-	-	-	-	-	CLKEn

注： 予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

PPPモジュールは、表7-60のレジスタを使用します。これらのレジスタにアクセスする前に、マスタインデックスレジスタを0x80でプログラムしなければなりません。

表 7-60 PPPレジスタマップ

iAPI	レジスタ名	レジスタの定義									
0x30	PPPアプリケーションIDレジスタ PPP_App_ID	アプリケーションID(0x01)									
0x31	PPPバージョンIDレジスタ PPP_Revision	バージョン(0x15)									
0x32	PPPコントロールステータスレジスタ PPP_Ctrl_Stat	PPP_Int	Con_Val	Use_PAP	TO_Dis	PPP_Int_En	Kick	PPP_En	PPP_Up/Rst		
0x38	PPP割り込みコードレジスタ PPP_Int_Code	PPP割り込みコード									
0x3C	PPPデータレジスタ PPP_Data	PPPデータ									
0x3D	PAPストリングレジスタ PAP_String	PAPユーザ名とパスワード									
0x3E	PPP最大リトライレジスタ PPP_Max_Retry	IPAD	Use_CHAP	PPP_Buf	PAP_Rst	Max_Retry					
0x3F	CHAPコントロールステータスレジスタ CHAP_Ctrl_Stat	CHAP_Dav	CHAP_Nak	CHAP_Ack	-	Chal_Int_En	Nak_Int_En	Ack_Int_En	-		
0x40-0x43	ローカルIPアドレスレジスタ Local_IP_Addr	ローカルIPアドレス									
0x44-0x45	PPPプロトコルレジスタ PPP_Prot	送信パケット用PPPプロトコル									
0x46	CHAP IDレジスタ CHAP_ID	CHAPパケットからのコードID									
0x48-0x4B	ピアIPアドレスレジスタ Peer_IP_Add	ピアIPアドレス									
0x4E-0x4F	PPPデータ長レジスタ PPP_Data_Len	読み出しに利用できるPPPデータ長									
0x50	PPP状態レジスタ PPP_State	NCP状態					LCP状態				
0x52-0x53	MRUレジスタ MRU	ピアのMRU									
0x71	シリアルポートバージョンレジスタ SP_Rev	シリアルポートバージョン(0x20)									
0x72	シリアルポートコンフィグレジスタ SP_Config	-	-	HWFC	CTS	-	DTR	RTS	SCTL		
0x73	シリアルポートステータスレジスタ SP_Status	Data_Av	DCD	DSR	CTS	RI	DTR	RTS	SCTL		
0x76	シリアルポート割り込みイネーブルレジスタ SP_Int_Enable	Plnt_En	DSInt_En	DVInt_En	DCD_Int_En	-	-	-	-		
0x78	シリアルポート割り込みレジスタ SP_Int	Plnt	DSInt	DVInt	DCD_Int	-	-	-	-		
0x7C	シリアルポートデータレジスタ SP_Data	シリアルポートデータ									
0x80-0x81	シリアルポートボーレート分周レジスタ SP_BAUD_Rate_Div	シリアルポートのボーレート									

注： 予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

7.5 ダイレクトレジスタ

ダイレクトレジスタは、マスタインデックスレジスタを設定せずにアクセスすることができます。

7.5.1 ダイレクトレジスタの定義

7.5.1.1 レビジョンレジスタ[Revision] 0x00

(読み出し専用。デフォルト0x22)

このダイレクトレジスタは、設計のレビジョン番号を示します。表7-61と表7-62に示す設計のレビジョンフォーマットを参照してください。

表 7-61 レビジョンレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	上位レビジョン番号				下位レビジョン番号			
デフォルト	0x2				0x2			

表 7-62 レビジョンレジスタの説明

ビット	ビット名称	アクセス	説明
7:4	上位レビジョン番号	R	この4ビットでネットワークスタックコアの上位レビジョン番号を示します。
3:0	下位レビジョン番号	R	この4ビットでネットワークスタックコアの下位レビジョン番号を示します。

7.5.1.2 汎用コントロールレジスタ[General_Control] 0x01

(読み出し/書き込み。デフォルト0x00)

この汎用コントロールレジスタで、ソフトウェアリセット、レジスタマップのモード指定を行います。表7-63と表7-64に示すレジスタフォーマットを参照してください。

表 7-63 汎用コントロールレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	NewReg	-	SW_Rst
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

表 7-64 汎用コントロールレジスタの説明

ビット	ビット名称	アクセス	説明
2	NewReg	R/W	拡張レジスタモード このビットは、拡張レジスタマップをイネーブルにします。このビットは、拡張レジスタにアクセスする前に設定されなければなりません。デフォルトでは、このビットはリセット後"0"になります。 "0"でS-7600AコンパチブルiAPILレジスタマップ(デフォルト) "1"で拡張iAPILレジスタマップ
0	SW_Rst	W	ソフトウェアリセット "H"レベルにすると、ネットワークスタックコアを初期状態に戻します。自動的にクリアされるので、通常動作のために"0"を書き込む必要はありません。 "0"で通常動作 "1"でソフトリセット

7.5.1.3 汎用ソケットレジスタ[General_Socket_Location] 0x02

(読み出し専用。デフォルト0x03)

この汎用ソケットレジスタは、ソケットの実装有無を示します。個々のソケットに対応したビットが"1"であれば実装されていて、使用可能です。

表 7-65 汎用ソケット下位レジスタビットの定義(0x02)

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	-	S1	S0
デフォルト	0	0	0	0	0	0	1	1

表 7-66 汎用ソケットレジスタの説明

ビット	ビット名称	アクセス	説明
1	S1	R	ソケット1有効
0	S0	R	ソケット0有効

7.5.1.4 マスタ割り込みレジスタ[Master_Interrupt] 0x04

(読み出し専用。デフォルト0x00)

このレジスタは、割り込み要因を表示します。

表 7-67 マスタ割り込みレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	PT_Int	Link_Int	Sock_Int
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

表 7-68 マスタ割り込みレジスタの説明

ビット	ビット名称	アクセス	説明
2	PT_Int	R	シリアルポート割り込み シリアルポートの状態によって割り込みが発生すると"1"になります。アプリケーションはシリアルポート割り込みレジスタ(0x78)をチェックして、割り込み要因を特定できます。
1	Link_Int	R	PPP割り込み PPPモジュールの状態によって割り込みが発生すると"1"になります。アプリケーションはPPP割り込みコードレジスタ(0x38)をチェックして、割り込み要因を特定できます。
0	Sock_Int	R	ソケット割り込み ソケットの状態によって割り込みが発生すると"1"になります。アプリケーションはソケット割り込みレジスタ(0x26)をチェックして、割り込み要因を特定できます。

7.5.1.5 クロック分周レジスタ[Clock_Div] 0x1C-0x1D

(読み出し/書き込み。デフォルト0x03E7)

これらのレジスタにより1KHzのクロック分周レジスタを設定します。そのクロックは、ネットワークスタックの動作に必要な内部タイミングを生成します。以下の式により、これらのレジスタにプログラムする値を決定します：

$$(\text{clk Freq}/1\text{KHz}) - 1 = \text{分周比設定値}$$

ここで、clk FreqはS-7601Aの入力クロック周波数です。したがって、1MHzクロックのとき、分周比設定値は1M/1KHz - 1 = 999 = 0x03e7になります。小数点以下の端数がある場合は、単に切り捨ててください。

表 7-69 クロック分周レジスタ[Clock_Div_Low]ビットの定義(0x1C)

ビット	7	6	5	4	3	2	1	0
定義	分周設定値の最下位ビット(LSB)							
デフォルト	0xE7							

表 7-70 クロック分周レジスタ[Clock_Div_High]ビットの定義(0x1D)

ビット	7	6	5	4	3	2	1	0
定義	分周設定値の最上位ビット(MSB)							
デフォルト	0x03							

7.5.1.6 マスタインデックスレジスタ[Master_Index] 0x20

(読み出し/書き込み。デフォルト0x00)

インデックスレジスタにアクセスする前に、このレジスタを設定しなければなりません。設定値は保持されるので、アクセスするインデックスレジスタのインデックスが変わらなければ、このレジスタを再設定する必要はありません。有効なインデックス値を表 7-71に示します。

表 7-72 マスタインデックスレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	インデックス値							
デフォルト	0x00							

表 7-73 マスタインデックスレジスタの説明

ビット	ビット名称	アクセス	説明
7:0	マスタインデックス	R/W	アクセスするレジスタのインデックス

表 7-74 有効なインデックス値

インデックス	アクセスするインデックスレジスタ
0x00 – 0x01	ソケット0-ソケット1
0x80	PPP/シリアルポート

注：他の値は全て予約済みです。

7.5.1.7 ソケットアクティブレジスタ[Socket_Activate] (0x24)

(読み出し/書き込み。デフォルト0x00)

このレジスタによってソケットのアクティブ/非アクティブを制御します。個々のソケットに対応するビット(ビット1がソケット1、ビット0がソケット0)を"1"に設定するとアクティブになります。"0"から"1"へ変更した時、TCPクライアントモードでは、アクティブオープンしてSYNフラグを送信します。TCPサーバモードでは、パッシブオープンしてピアからのSYNフラグを待ち受けます。TCPコネクション中に"1"から"0"へ変更すると、FINフラグを送信します。UDPモードでもデータ通信はソケットがアクティブの状態で行います。

表 7-75 ソケットアクティブレジスタビットの定義(0x24)

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	-	S1	S0
デフォルト	0	0	0	0	0	0	0	0

注： 予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

7.5.1.8 ソケット割り込みレジスタ[Socket_Interrupt] (0x26)

(読み出し専用。デフォルト0x00)

このレジスタは、ソケット割り込み要因表示です。ソケット割り込みが発生した個々のソケットの対応するビット(ビット1がソケット1、ビット0がソケット0)が"1"になります。割り込み要因は、該当のソケットの割り込みステータスレジスタ(インデックスレジスタを参照してください)を調べると割り込み要因を特定できます。

表 7-76 ソケット割り込みレジスタビットの定義(0x26)

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	-	I1	I0
デフォルト	0	0	0	0	0	0	0	0

注： 予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

7.5.1.9 ソケットデータ有効レジスタ[Socket_Data_Avail] (0x28)

(読み出し専用。デフォルト0x00)

このレジスタは、ソケットの受信バッファに有効な受信データがあることを示します。個々のソケットの対応するビット(ビット1がソケット1、ビット0がソケット0)が "1"であれば、そのソケットに、有効データがあります。受信バッファからデータを全て読み出すと"0"になります。

表 7-77 ソケットデータ有効レジスタビットの定義(0x28)

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	-	DAV1	DAV0
デフォルト	0	0	0	0	0	0	0	0

注： 予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

7.5.2 インデックスレジスタ

インデックスレジスタは、インデックスの値をマスタインデックスレジスタ(0x20)をプログラムするとアクセスすることができます。

7.5.3 ソケットレジスタの概要

MPUは、ソケットアクティブレジスタやソケット割り込みレジスタなどのダイレクトレジスタとソケットインデックスレジスタを通して、ネットワークスタックコアのUDPやTCPを用いた通信をすることができます。表7-77に示すソケットインデックスレジスタは、マスタインデックスレジスタ(0x20)に適切な値(この場合は、0x00または0x01)を設定した後アクセスするようにしてください。表7-77に、汎用ソケットで使用されるインデックスレジスタをまとめています。

表 7-78 汎用ソケットで使用されるインデックスレジスタ

iAPI	レジスタ名	レジスタの定義							
0x30	ソケットアプリケーションIDレジスタ Socket_App_ID	アプリケーションID(0x10)							
0x31	ソケットレビジョンレジスタ Socket_Revision	レビジョン(0x27)							
0x32	ソケットコンフィグレーションレジスタ Socket_Config	-	-	-	-	-	Type		
0x34	ソケットステータス0レジスタ Socket_Stat_0	TO	Snd_Emp	-	Rcv_Dav	-	-	-	-
0x35	ソケットステータス1レジスタ Socket_Stat_1	Urg	Rcv_Rst	Rcv_Fin	Con_Up	-	-	-	-
0x36	ソケット割り込みイベント0レジスタ Socket_Int_En_0	TO_En	Snd_EmpEn	-	Rcv_DavEn	-	-	-	-
0x37	ソケット割り込みイベント1レジスタ Socket_Int_En_1	Urg_En	Rcv_RstEn	Rcv_FinEn	Con_UP_En	-	-	-	-
0x38	ソケット割り込みステータス0レジスタ Socket_Int_Stat_0	TO	Snd_Emp	-	Rcv_Dav	-	-	-	-
0x39	ソケット割り込みステータス1レジスタ Socket_Int_Stat_1	Urg	Rcv_Rst	Rcv_Fin	Con_Up	-	-	-	-
0x3A	ソケットコマンドレジスタ Socket_Command	-	-	-	Sck_Clr	-	-	-	Send_Go
0x3C	ソケットデータレジスタ Socket_Data	ソケットデータ							
0x44– 0x47	リモートIPアドレスレジスタ Remote_IP_Address	リモートIPアドレス							
0x48– 0x49	ローカルポートレジスタ Local_Port	ローカルポート番号							
0x4A– 0x4B	リモートポートレジスタ Remote_Port	リモートポート番号							
0x4C– 0x4D	バッファ出力長レジスタ Buffer_Len_Out	バッファ出力長							
0x4E– 0x4F	バッファ入力長レジスタ Buffer_Len_In	バッファ入力長							
0x51	遅延ACKコントロールレジスタ Delayed_ACK_Control	遅延ACK時間							
0x53	サービスタイプレジスタ TOS	サービスタイプ							
0x54– 0x55	緊急ポインタレジスタ Urgent_Pointer	緊急ポインタ							

iAPI	レジスタ名	レジスタの定義							
0x56–0x57	最大セグメントサイズレジスタ MSS	最大セグメントサイズ							
0x5A	ソケットステータス2レジスタ Socket_Stat_2	-	-	-	Sck_Busy	TCP状態			
0x5C–0x5D	TCPクロック分周レジスタ TCP_Clk_Divider	TCPクロック分周設定値							
0x5E	TCPクロックイネーブルレジスタ TCP_Clk_Enable	-	-	-	-	-	-	-	Clk_En

7.5.4 ソケットレジスタの定義

7.5.4.1 ソケットアプリケーションIDレジスタ[Socket_App_ID] 0x30

(読み出し専用。デフォルト0x10)

このレジスタは、アプリケーションID値を示します。汎用ソケットIDは0x10です。

表 7-79 ソケットアプリケーションIDレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	ソケットアプリケーションID							
デフォルト	0	0	0	1	0	0	0	0

7.5.4.2 ソケットレビジョンレジスタ[Socket_Revision] 0x31

(読み出し専用。デフォルト0x27)

このレジスタは、汎用ソケットのレビジョンを示します。汎用ソケットレビジョンは0x27です。

表 7-80 ソケットレビジョンレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	ソケットレビジョン							
デフォルト	0	0	1	0	0	1	1	1

7.5.4.3 ソケットコンフィグレーションレジスタ[Socket_Config] 0x32

(読み出し/書き込み。デフォルト0x00)

このレジスタはソケットのプロトコルタイプを設定、表示します。このレジスタは、表7-80と表7-81に示すように定義されます。

表 7-81 ソケットコンフィグレーションレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義		-	-	-	-	Type		
デフォルト	0	0	0	0	0	0		

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

表 7-82 ソケットコンフィグレーションレジスタの説明

ビット	ビット名称	アクセス	説明
2:0	Type	R/W	<p>これらのビットは、ソケットのプロトコルを以下のように定義します。</p> <p>"000"で予約済み(デフォルト)</p> <p>"001"でUDPクライアントモード</p> <p>"010"でTCPクライアントモード</p> <p>"011"で予約済み</p> <p>"100"で予約済み</p> <p>"101"でUDP_Rawモード</p> <p>"110"でTCPサーバーモード</p> <p>"111"で予約済み</p> <p>UDP_Rawモードでは、アプリケーションにはリモートIPアドレス、UDPヘッダ情報、UDPデータが与えられます。</p> <p>UDPクライアントモードでは、アプリケーションにはデータ部のみが与えられます。</p> <p>すべてのTCPモードでは、TCPパケットのデータ部のみがアプリケーションに与えられます。</p>

7.5.4.4 ソケットステータス0レジスタ[Socket_Stat_0] 0x34

(読み出し専用。デフォルト0x40)

このレジスタはソケットのステータスを示し、表7-82と表7-83のように定義されます。このレジスタのビットはすべて、割り込みイネーブルレジスタビットの値によらず読み出せます。

表 7-83 ソケットステータス0レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	TO	Snd_Emp	-	Rcv_Dav	-	-	-	-
デフォルト	0	1	0	0	0	0	0	0

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

表 7-84 ソケットステータス0レジスタの説明

ビット	ビット名称	アクセス	説明
7	TO	R	タイムアウト このビットはTCP接続のソケットのタイムアウトを示します。 アプリケーションはタイマーなどを用いて送信への応答を監視して、アプリケーションが定めた規定時間内に正常な応答がなかった場合は、その接続は異常と判断して、ソケットをリセットすべきです。 このビットは、ソフトウェアがソケットレジスタ(0x3A)のSck_Clrビットに"1"を書き込むとクリアされます。 "0"で通常動作状態 "1"でタイムアウト状態
6	Snd_Emp	R	送信バッファ空状態 このビットは、ソケットの送信バッファが空であることを示します。送信が完了して送信バッファが自動的に空となると、このビットは、クリアされます。 "0"でバッファにデータあり "1"でバッファにデータなし
4	Rcv_Dav	R	受信データ有効 このビットは、ソケットの受信バッファに有効な受信データがあることを示します。このビットは、データがすべて読み出されるとクリアされます。 "0"でデータなし "1"でデータあり

7.5.4.5 ソケットステータス1レジスタ[Socket_Stat_1] 0x35

(読み出し専用。デフォルト0x00)

このレジスタはTCPモードのソケットのステータス条件を示し、表7-84と表7-85に示すように定義されます。このレジスタのビットはすべて、割り込みイネーブルレジスタの値によらず読み出せます。

表 7-85 ソケットステータス1レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	Urg	Rcv_Rst	Rcv_Fin	Con_Up	-	-	-	-
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

表 7-86 ソケットステータス1レジスタの説明

ビット	ビット名称	アクセス	説明
7	Urg	R	緊急データ受信 このビットは、URGフラグのあるパケットを受信したことを示します。緊急ポインタレジスタ(0x54-0x55)が"0"になると、自動的にクリアされます。 "0"でURGフラグ受信なし "1"でURGフラグ受信あり
6	Rcv_Rst	R	RST受信 このビットは、RSTフラグを受信したことを示します。RSTフラグを受信すると、S-7601Aはもはやピアからデータを受信しません。そのアクションは異常と判断して、ソケットをリセットすべきです。 このビットは、ソフトウェアがマントレジスタ(0x3A)のSck_Clrビットに"1"を書き込むとクリアされます。 "0"でRSTフラグ受信なし "1"でRSTフラグ受信あり
5	Rcv_Fin	R	FIN受信 このビットは、FINフラグを受信したことを示します。FINフラグを受信したことによりCLOSE_WAITになった場合は、ソケットアクティブレジスタ(0x24)に"0"を書き込み、S-7601AからFINフラグを送信してそのアクションを加えます。 S-7601AからFINフラグを送信した結果、ピアからFINフラグを受信し、TIME_WAITになった場合、2MSL時間(S-7601Aでは約6分)経過すると自動的にCLOSEDとなります。アプリケーションが2MSL時間を待てない場合、ソケットをリセットしてCLOSEDとすることは事実上容認されています。 このビットは、ソフトウェアがマントレジスタ(0x3A)のSck_Clrビットに"1"を書き込むとクリアされます。 "0"でFINフラグ受信なし "1"でFINフラグ受信あり
4	Con_Up	R	コネクション確立 このビットは、ソケットをアクティブに変更した結果、コネクションが確立したかを示します。このビットは、CLOSEDになるとクリアされます。 "0"でコネクション未確立 "1"でコネクション確立

7.5.4.6 ソケット割り込みイネーブル0レジスタ[Socket_Int_En_0] 0x36

(読み出し/書き込み。デフォルト0x00)

このレジスタは、割り込みをイネーブルにします。このビットが設定されると、対応する割り込みがイネーブルになります。このレジスタへの書き込みはソケットをアクティブにする前に行う必要があります。つまり、ソケットがアクティブな状態でこのレジスタへの書き込みをおこなわないでください。表7-86と表7-87にこのレジスタを定義します。

表 7-87 ソケット割り込みイネーブル0レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	TO_En	Snd_Emp_En	-	Rcv_Dav_En	-	-	-	-
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

表 7-88 ソケット割り込みイネーブル0レジスタの説明

ビット	ビット名称	アクセス	説明
7	TO_En	R/W	タイムアウト割り込みイネーブル "0"で割り込みがディセーブル(デフォルト) "1"で割り込みがイネーブル
6	Snd_Emp_En	R/W	送信バッファ空き割り込みイネーブル "0"で割り込みがディセーブル(デフォルト) "1"で割り込みがイネーブル
4	Rcv_Dav_En	R/W	受信データ有効割り込みイネーブル "0"で割り込みがディセーブル(デフォルト) "1"で割り込みがイネーブル

7.5.4.7 ソケット割り込みイネーブル1レジスタ[Socket_Int_En_1] 0x37

(読み出し/書き込み。デフォルト0x00)

このレジスタは、割り込みをイネーブルにします。このビットが設定されると、対応する割り込みがイネーブルになります。このレジスタへの書き込みはソケットをアクティブにする前に行う必要があります。つまり、ソケットがアクティブな状態でこのレジスタへの書き込みをおこなわないでください。表7-88と表7-89にこのレジスタを定義します。

表 7-89 ソケット割り込みイネーブル1レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	Urg_En	Rcv_Rst_En	Rcv_Fin_En	Con_Up_En	-	-	-	-
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

表 7-90 ソケット割り込みイネーブル1レジスタの説明

ビット	ビット名称	アクセス	説明
7	Urg_En	R/W	緊急データ受信割り込みイネーブル "0"で割り込みがデisable(デフォルト) "1"で割り込みがイネーブル
6	Rcv_Rst_En	R/W	RST受信割り込みイネーブル "0"で割り込みがデisable(デフォルト) "1"で割り込みがイネーブル
5	Rcv_Fin_En	R/W	FIN受信割り込みイネーブル "0"で割り込みがデisable(デフォルト) "1"で割り込みがイネーブル
4	Con_Up_En	R/W	コネクション確立割り込みイネーブル "0"で割り込みがデisable(デフォルト) "1"で割り込みがイネーブル

7.5.4.8 ソケット割り込みステータス0レジスタ(Socket_Int_Stat_0) 0x38

(読み出し/書き込み。デフォルト0x00)

このレジスタは、ソケット割り込み要因の特定表示です。このレジスタは、割り込みイネーブル0レジスタ(0x36)の設定に対応した割り込み要因を示します。割り込みが発生すると、このレジスタのビットは“1”になります。

表7-90と表7-91にこのレジスタを定義します。

表 7-91 ソケット割り込みステータス0レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	TO	Snd_Emp	-	Rcv_Dav	-	-	-	-
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには“0”が書き込まれなければなりません。

表 7-92 ソケット割り込みステータス0レジスタの説明

ビット	ビット名称	アクセス	説明
7	TO	R/W	タイムアウト割り込みステータス このビットはTCPポートのソケットのタイムアウトが発生したことを示します。 アプリケーションはタイマーなどを用いて送信への応答を監視して、アプリケーションが定めた規定時間内に正常な応答がなかった場合は、その接続は異常と判断して、ソケットをリセットすべきです。 このステータスは、このビットに“1”を書き込むとクリアされます。
6	Snd_Emp	R/W	送信バッファインディケータ割り込みステータス このビットは、ソケットの送信バッファが空になったことを示します。 このビットに“1”を書き込むとクリアされます。
4	Rcv_Dav	R/W	受信データ有効割り込みステータス このビットは、ソケットの受信バッファに有効な受信データが格納されたことを示します。 このステータスは、このビットに“1”を書き込むとクリアされます。

7.5.4.9 ソケット割り込みステータス1レジスタ[Socket_Int_Stat_1] 0x39

(読み出し/書き込み。デフォルト0x00)

このレジスタは、TCPモードのソケット割り込み要因の特定表示です。このレジスタは、割り込みイネーブルレジスタ（0x37）の設定に対応した割り込み要因を示します。割り込みが発生すると、このレジスタのビットは“1”になります。

表7-92と表7-93にこのレジスタを定義します。

表 7-93 ソケット割り込みステータス1レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	Urg	Rcv_Rst	Rcv_Fin	Con_Up	-	-	-	-
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには“0”が書き込まれなければなりません。

表 7-94 ソケット割り込みステータス1レジスタの説明

ビット	ビット名称	アクセス	説明
7	Urg	R/W	緊急データ受信割り込みステータス このビットは、URGフラグのあるパケットを受信したことを示します。 このビットは、“1”が書き込まれるとクリアされます。
6	Rcv_Rst	R/W	RST受信割り込みステータス このビットは、RSTフラグを受信したことを示します。RSTフラグを受信すると、S-7601Aはピアからデータを受信しません。この場合コネクション異常としてソケットをリセットすべきです。 このビットは、“1”が書き込まれるとクリアされます。
5	Rcv_Fin	R/W	FIN受信割り込みステータス このビットは、FINフラグを受信したことを示します。FINフラグを受信したことによりCLOSE_WAITになった場合は、ソケットアクティブレジスタ(0x24)に“0”を書き込み、S-7601AからFINフラグを送信してそのコネクションを閉じます。 S-7601AからFINフラグを送信した結果、ピアからFINフラグを受信し、TIME_WAITになった後、2MSL時間（S-7601Aでは約6分）経過すると自動的にCLOSEDとなります。アプリケーションが2MSL時間を待てない場合、ソケットをリセットしてCLOSEDとすることは事実上容認されています。 このビットは、“1”が書き込まれるとクリアされます。
4	Con_Up	R/W	コネクション確立割り込みステータス このビットは、ソケットをアクティブに変更した結果、コネクションが確立したかを示します。 このビットは、“1”が書き込まれるとクリアされます。

7.5.4.10 ソケットコマンドレジスタ[Socket_Command] 0x3A

(書き込み専用。デフォルト0x00)

このレジスタは、ソケットのリセット、データ送信の開始を行います。

表 7-95 ソケットコマンドレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	Sck_Clr	-	-	-	Send_Go
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

表 7-96 ソケットコマンドレジスタの説明

ビット	ビット名称	アクセス	説明
4	Sck_Clr	W	<p>ソケットクリア</p> <p>このビットに"1"を書き込むと、ソケットはリセットされます。ソケットを設定、アクティブとする前にリセットしてください。また、RSTフラグを受信するなど、その挙動を異常と判断したら、ソケットをリセットしてください。</p> <p>ただし、"1"を書き込む前に、ソケットステータスレジスタ(0x5A, ビット4)のSck_Busyビットが"0"であることを確認しなければなりません。</p> <p>このビットは自動的にクリアされます。</p>
0	Send_Go	W	<p>送信ゴー</p> <p>このビットに"1"を書き込むと、ソケットはデフォルトレジスタ(0x3C)から書き込んだ送信バッファのデータを送信します。送信バッファが空の状態では"1"を書き込まないでください。</p> <p>TCPモードでは、送信バッファのデータをピアが要求したMSSサイズのセグメント単位にパケットを分けてスライディングウィンドウで送信します。送信したパケットに対するピアからのACKが確認されると送信バッファからデータがクリアされます。送信バッファにデータを書き込んだ後、必ずこのビットに"1"を書き込んでください。万が一、送信すべきでないデータを送信バッファに書き込んでしまった場合はハードウェアリセットかソフトウェアリセットあるいはソケットをリセットする必要があります。</p> <p>UDPモードでは、送信バッファの全データを一つのパケットで送信して、送信バッファのデータをクリアします。ひとたび送信バッファにデータを書き込んだ以上、必ずこのビットに"1"を書き込んでください。万が一、送信すべきでないデータを送信バッファに書き込んでしまった場合はハードウェアリセットかソフトウェアリセットする必要があります。</p> <p>このビットは自動的にクリアされます。</p>

7.5.4.11 ソケットデータレジスタ[Socket_Data] 0x3C

(読み出し/書き込み。デフォルトN/A)

このレジスタは受信バッファからデータを読み出し、送信バッファにデータを書き込みます。

表 7-97 ソケットデータレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	ソケットデータ							
デフォルト	N/A							

表 7-98 ソケットデータレジスタの説明

ビット	ビット名称	アクセス	説明
7:0	ソケットデータ	R/W	<p>このレジスタに1ビットが書き込まれると、それを送信バッファに格納します。送信バッファはバッファ出力長レジスタ(0x4C-0x4D)によってアドレスされる1023ビットのFIFOメモリです。送信バッファが空の状態ではバッファ出力長レジスタは0x03FFです。1ビット書き込むとクリアメントします。1023ビット書き込むと0x0000になります。これ以上は書き込まないでください。</p> <p>ソケットデータレジスタ (0x34,ビット4)のRcv_Davビットが"1"であれば、受信バッファに有効な受信データがあることを示します。そのときこのレジスタを読み出すと受信バッファから1ビットのデータが得られます。受信バッファはバッファ入力長レジスタ (0x4E-0x4F)によってアドレスされる2047ビットのFIFOメモリです。バッファ入力長レジスタは受信バッファに格納されているデータのビット数を示しています。1ビット読み出すとバッファ入力長レジスタはクリアメントします。全てのデータを読み出すと0x0000となります。この時、Rcv_Davビットがクリアされます。Rcv_Davビットが"0"の状態では読み出ししてはいけません。</p>

7.5.4.12 リモートIPアドレスレジスタ[Remote_IP_Address] 0x44-0x47

(読み出し/書き込み。デフォルト0x00000000)

これらのレジスタは、ソケットのリモートIPアドレスを示します。TCPサーバモードでは、ピアのソケットとコネクションが確立されると、自動的にピアのIPアドレスがこれらのレジスタにセットされます。一方、TCPクライアントモードでは、ソケットをアクティブにする前にピアのIPアドレスをこれらのレジスタに設定する必要があります。UDPモードでの送信の前にピアのIPアドレスを設定する必要があります。UDPモードの受信では意味を持ちません。これらのレジスタは任意の順序で書き込むことができます。表7-98～表7-101に示すように定義されます。

表 7-99 リモートIPアドレス0レジスタビットの定義(0x44)

ビット	7	6	5	4	3	2	1	0
定義	リモートIPアドレスのLSB							
デフォルト	0x00							

表 7-100 リモートIPアドレス1レジスタビットの定義(0x45)

ビット	7	6	5	4	3	2	1	0
定義	リモートIPアドレスの第3位のバイト							
デフォルト	0x00							

表 7-101 リモートIPアドレス2レジスタビットの定義(0x46)

ビット	7	6	5	4	3	2	1	0
定義	リモートIPアドレスの第2位のバイト							
デフォルト	0x00							

表 7-102 リモートIPアドレス3レジスタビットの定義(0x47)

ビット	7	6	5	4	3	2	1	0
定義	リモートIPアドレスのMSB							
デフォルト	0x00							

7.5.4.13 ローカルポートレジスタ[Local_Port] 0x48-0x49

(読み出し/書き込み。デフォルト0x0000)

これらのレジスタは、ソケットのローカルポートを示します。ソケットをアクティブにする前にローカルポート番号を設定する必要があります。ローカルポート番号をウェルノウンポートとするときは、RFC1700に準拠する必要があります。ソケットをリセットするとこのレジスタはインクリメントします。この機能は、クライアントアプリケーションでは、通常、各セッションごとにローカルポート番号をインクリメントしている、という事実を考慮したものです。ただし、これらのレジスタが0x0000か0xFFFFのときにソケットをリセットするとランダムな値になります。

表 7-103 ローカルポート下位レジスタビットの定義(0x48)

ビット	7	6	5	4	3	2	1	0
定義	ローカルポートのLSB							
デフォルト	0x00							

表 7-104 ローカルポート上位レジスタビットの定義(0x49)

ビット	7	6	5	4	3	2	1	0
定義	ローカルポートのMSB							
デフォルト	0x00							

7.5.4.14 リモートポートレジスタ[Remote_Port] 0x4A-0x4B

(読み出し/書き込み。デフォルト0x0000)

これらのレジスタは、ソケットのリモートポートを示します。TCPサーバモードでは、ピアのソケットとコネクションが確立されると、自動的にピアのポート番号がこれらのレジスタにセットされます。一方、TCPクライアントモードでは、ソケットをアクティブにする前にピアのポート番号をこれらのレジスタに設定する必要があります。UDPモードでは送信の前にピアのポート番号を設定する必要があります。UDPモードの受信では意味を持ちません。これらのレジスタは任意の順序で書き込むことができます。

表 7-105 リモートポート下位レジスタビットの定義(0x4A)

ビット	7	6	5	4	3	2	1	0
定義	リモートポートのLSB							
デフォルト	0x00							

表 7-106 リモートポート上位レジスタビットの定義(0x4B)

ビット	7	6	5	4	3	2	1	0
定義	リモートポートのMSB							
デフォルト	0x00							

7.5.4.15バッファ出力長レジスタ[Buffer_Len_Out] 0x4C-0x4D

(読み出し専用。デフォルト0x03FF)

これらのレジスタは1023バイトのFIFOメモリである送信バッファをアドレッシングします。送信バッファが空の状態ではこれらのレジスタは0x03FFです。1バイト書き込むとデクリメントします。1023バイト書き込むと0x0000になります。送信バッファからデータが送信されると、その分増加します。これらのレジスタは、リセットによりデフォルト値0x03FFになります。

表 7-107 バッファ出力長下位レジスタビットの定義(0x4C)

ビット	7	6	5	4	3	2	1	0
定義	バッファ出力長[7:0]							
デフォルト	0xFF							

表 7-108 バッファ出力長上位レジスタビットの定義(0x4D)

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	-	バッファ出力長[9:8]	
デフォルト	0x03							

7.5.4.16バッファ入力長レジスタ[Buffer_Len_In] 0x4E-0x4F

(読み出し専用。デフォルト0x0000)

これらのレジスタは2047バイトのFIFOメモリである受信バッファをアドレッシングします。受信バッファが空の状態ではこれらのレジスタは0x0000です。受信バッファにデータが格納されると、その分増加します。1バイト読み出すとデクリメントします。これらのレジスタは、リセットによりデフォルト値0x0000になります。

表 7-109 バッファ入力長下位レジスタビットの定義(0x4E)

ビット	7	6	5	4	3	2	1	0
定義	バッファ入力長[7:0]							
デフォルト	0x00							

表 7-110 バッファ入力長上位レジスタビットの定義(0x4F)

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	-	-	バッファ入力長[10:8]		
デフォルト	0x00							

7.5.4.17 遅延Ackコントロールレジスタ[Delayed ACK Control] 0x51

(読み出し/書き込み。デフォルト0x00)

このレジスタは、表7-110と表7-111に定義するようにTCPモードでの遅延ACKの時間を設定します。S-7601Aは、ピアから正常なデータを受信したときや、送信したデータに対してピアから正常なACKフラグを受信したとき、ACKフラグを送信します。そのとき、設定時間だけ待ってからACKフラグを送信するというのが遅延ACKの概念です。通常その設定は不要です。しかし、込み合ったネットワークやラウンドトリップ遅延が極端に大きなネットワークでは適切な遅延ACKを設定することにより、トラフィックやパケット総量を軽減できる場合があります。適切な遅延ACK値を求める一般式はありません。もし、遅延ACKをデフォルト以外の値に設定するのなら、ネットワークを含めてシステム全体で充分検討してください。ACKフラグの送信としては他に以下がありますが、これらは、遅延ACKの対象ではありません。ピアからSYNフラグ、FINフラグを受信したときや、フロー制御を実現するために、受信バッファが広がったときTCPヘッダのウィンドウサイズフィールドへそのサイズを設定してピアへ通知する場合などです。また、S-7601Aがデータを送信すべきタイミングであれば、遅延ACKの設定値によらず送信します。S-7601Aのデータ送信は、スライディングウィンドに対応しています。

表 7-111 遅延Ackコントロールレジスタビットの定義(0x51)

ビット	7	6	5	4	3	2	1	0
定義	遅延Ack時間							
デフォルト	0x00							

表 7-112 遅延Ackコントロールレジスタの説明(0x51)

ビット	ビット名称	アクセス	説明
7:0	遅延Ack時間	R/W	このフィールドは、遅延時間をミリ秒(ms)で設定します。遅延時間は、0～255msに設定することができます。デフォルト値は0msです。

7.5.4.18 サービスタイプレジスタ[TOS] 0x53

(読み出し/書き込み。デフォルト0x00)

このレジスタは、データグラムを送信するためのIPヘッダのTOSフィールドを構成します。ビット配置はTOSフィールドと同一です。

表 7-113 TOSレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	サービスタイプ							
デフォルト	0x00							

7.5.4.19緊急ポインタレジスタ[Urgent_Pointer] 0x54-0x55

(読み出し専用。デフォルト0x00)

これらのレジスタは、緊急データの始まりを受信バッファのオフセットで示します。URGフラグを受信すると、ソケットステータス0レジスタ(0x35,ビット7)は"1"になり、イネーブルならば割り込みが起こります。受信バッファからデータを1ビット読み出すと、これらのレジスタはデクリメントします。緊急データが読み出される前に新しいURGフラグを受信してしまうと、これらのレジスタはすべて新しいデータで上書きされます。S-7601Aは、緊急データを送信することはできません。つまり、URGフラグを送信することはできません。

表 7-114 緊急ポインタ下位レジスタビットの定義(0x54)

ビット	7	6	5	4	3	2	1	0
定義	緊急ポインタのLSB							
デフォルト	0x00							

表 7-115 緊急ポインタ上位レジスタビットの定義(0x55)

ビット	7	6	5	4	3	2	1	0
定義	緊急ポインタのMSB							
デフォルト	0x00							

7.5.4.20最大セグメントサイズレジスタ[MSS] 0x56-0x57

(読み出し/書き込み。デフォルト0x0218)

これらのレジスタは、TCPモードでコネクション確立時にピアが要求したMSS値を示します。送信バッファのデータはこのレジスタの値のMSSサイズでセグメント単位にパケットを分けてスライディングウィンドで送信します。リセット後のMSSのデフォルト値は536です。ピアがMSSを要求しなかった場合、それはデフォルトである536を要求されたと解釈します。仮に、ピアが1023以上のMSSを要求しても、S-7601Aの送信バッファは1023バイトなので、それは、1023と解釈されます。通常アプリケーションはこれらの値を書きかえる必要はありません。特別な事情がある場合は、これらの値を書きかえてMSSを設定できます。ただし、ピアが要求したMSS値よりも大きな値に設定してはいけません。S-7601AはピアにMSSを要求しません。

表 7-116 MSS下位レジスタビットの定義(0x56)

ビット	7	6	5	4	3	2	1	0
定義	MSSのLSB							
デフォルト	0x18							

表 7-117 MSS上位レジスタビットの定義(0x57)

ビット	7	6	5	4	3	2	1	0
定義	MSSのMSB							
デフォルト	0x02							

7.5.4.21 ソケットステータス2レジスタ[Socket_Stat_2] 0x5A

(読み出し専用。デフォルト0x00)

このレジスタはソケットのステータスを示し、表7-117と表7-118に示すように定義されます。このレジスタのビットはすべて、割り込みイネーブルレジスタの値によらず読み出せます。アプリケーションが制御すべきTCP状態遷移のうち、TCPクライアントモードでのCLOSEDからSYN_SENT、TCPサーバモードでのCLOSEDからLISTENはソケットアクティブレジスタ(0x24)でソケットをアクティブにすることで行います。

ESTABLISHEDからFIN_WAIT1、CLOSE_WAITからLAST_ACKはソケットアクティブレジスタ(0x24)でソケットを非アクティブにすることで行います。このときFINフラグを送信します。しかし、コネクションが異常、S-7601AがTCPモードのソケットのタイムアウト状態、ソケットステータス0レジスタのSnd_Emp(0x34、ビット6)が"0"のときなどはFINフラグを送信しない場合があります。そのときは、ソケットをリセットしてCLOSEDとしてください。TIME_WAITになった場合、2MSL時間(S-7601Aでは約6分)経過すると自動的にCLOSEDとなります。アプリケーションが2MSL時間を待てない場合、ソケットをリセットしてCLOSEDとすることは事実上容認されています。また、RSTフラグを受信するなど、そのコネクションを異常と判断したら、ソケットをリセットしてCLOSEDとしてください。

表 7-118 ソケットステータス2レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	-	-	-	Sck_Busy	TCP状態			
デフォルト	0	0	0	0	0x0			

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

表 7-119 ソケットステータス2レジスタの説明

ビット	ビット名称	アクセス	説明
4	Sck_Busy	R	ソケットビジー このビットは、ソケットがTCPセグメントを送信中または受信中であることを示します。 ソケットコマンドレジスタ(0x3A、ビット4)に"1"を書き込むと、ソケットはリセットされます。ソケットのリセットの前にこのビットが"0"であることを確認しなければなりません。 "0"でソケットはノンビジー "1"でソケットはビジー
3:0	TCP状態	R	これらのビットは、現在のTCP状態を示します。 0=CLOSED 1=SYN_SENT 2=ESTABLISHED 3=CLOSE_WAIT 4=LAST_ACK 5=FIN_WAIT1 6=FIN_WAIT2 7=CLOSING 8=TIME_WAIT 9=LISTEN A=SYN_RECVD

7.5.4.22 クロック分周レジスタ[TCP_Clk_Divider] 0x5C-0x5D

(読み出し/書き込み。デフォルト0x03E7)

これらのレジスタにより実装されているオプションのTCPクロック分周レジスタを設定します。そのクロックは、TCPモジュールの動作に必要な内部タイミングを生成します。このクロックを使用するには、0x5EレジスタのTCPクロックイネーブルビットをイネーブルにする必要があります。イネーブルでない場合、クロック分周レジスタ(0x1C-0x1D)で設定した1KHzクロックがTCPモジュールに使用されます。通常はクロック分周レジスタを使用してください。しかし、込み合ったネットワークやラウンドトリップ遅延が極端に大きなネットワークでは適切に設定されたTCPクロックジェネレータを使用することにより、トラフィックやパケット総量を軽減できる場合があります。以下の式により、これらのレジスタ設定する値を計算します：

$$(\text{clk Freq} / \text{tcp_clk}) - 1 = \text{分周比設定値}$$

ここで、clk FreqはS-7601Aの入力クロック周波数であり、tcp_clkは希望するTCPモジュールのクロックレートです。したがって、入力クロックが1MHzで、希望するTCPクロックレートが1KHzのとき、分周比設定値は $1\text{M}/1\text{KHz} - 1 = 999 = 0x03\text{e7}$ になります。小数点以下の端数がある場合は、単に切り捨ててください。なお、このレジスタはインデックス0x00にのみ実装されています。このレジスタを設定するときは、インデックスが0x00である必要があります。その生成クロックは、ソケット0、ソケット1に共通に使われます。適切な分周比設定値を求める一般式はありません。tcp_clkは1KHzが標準でこれを基準に微調整を行います。分周比設定値はネットワークを含めてシステム全体で充分検討してください。微調整される時間は、S-7601Aの再送信間隔、TCPタイムアウトまでの時間、2MSL時間、遅延ACK時間です。TCPクロックレートが基準である1KHzのとき、再送信の1回目は約900ms後です。その後は倍々に送信間隔が増加します。4分経過するとTCPモードのソケットのタイムアウトとなります。タイムアウト以降は約2分間隔で再送信しますがその状態では、そのコネクションは異常と判断して、ソケットをリセットすべきです。TCPモードでの再送信は、SYN、FINの送信と、データの送信に対する正常な応答がなかった場合に行われます。

表 7-120 TCPクロック分周レジスタビットの定義(0x5C)

ビット	7	6	5	4	3	2	1	0
定義	分周設定値の最下位ビット(LSB)							
デフォルト	0xE7							

表 7-121 TCPクロック分周レジスタビットの定義(0x5D)

ビット	7	6	5	4	3	2	1	0
定義	分周設定値の最上位ビット(MSB)							
デフォルト	0x03							

7.5.4.23 TCPクロックイネーブルレジスタ[TCP_Clk_Enable] 0x5E

(読み出し/書き込み。デフォルト0x00)

TCPクロック分周レジスタ(0x5C-0x5D)を使用するときはこのレジスタのTCPクロックイネーブルビットをイネーブルにする必要があります。イネーブルでない場合、クロック分周レジスタ(0x1C-0x1D)で設定した1KHzクロックがTCPモジュールに使用されます。このレジスタを設定するときは、インデックスが0x00である必要があります。TCPモジュールのクロックは、ソケット0、ソケット1に共通に使われます。

表 7-122 TCPクロックイネーブルレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	Reserved							Clk_En
デフォルト	0x00							0x0

表 7-123 TCPクロックイネーブルレジスタの説明

ビット	ビット名称	アクセス	説明
0	Clk_En	R/W	TCPクロックイネーブル "0"でTCPは1kHzクロック分周レジスタを使用(デフォルト) "1"でTCPはTCPクロック分周レジスタを使用

7.5.5 PPP / シリアルポートレジスタ

7.5.5.1 PPP / シリアルポートレジスタマップ

PPP/シリアルポートインデックスレジスタにアクセスする前にマスタインデックスレジスタを、0x80にプログラムしなければなりません。

表 7-124 PPPレジスタマップ

iAPI	レジスタ名	レジスタ定義									
0x30	PPPアプリケーションIDレジスタ PPP_App_ID	アプリケーションID(0x01)									
0x31	PPPバージョンIDレジスタ PPP_Revision	バージョン(0x15)									
0x32	PPPコントロールステータスレジスタ PPP_Ctrl_Stat	PPP_Int	Con_Val	Use_PAP	TO_Dis	PPP_Int_En	Kick	PPP_En	PPP_Up/Rst		
0x38	PPP割り込みコードレジスタ PPP_Int_Code	PPP割り込みコード									
0x3C	PPPデータレジスタ PPP_Data	PPPデータ									
0x3D	PAPストリングレジスタ PAP_String	PAPユーザ名とパスワード									
0x3E	PPP最大リトライレジスタ PPP_Max_Retry	IPAD	Use_CHAP	PPP_Buf	PAP_Rst	Max_Retry					
0x3F	CHAPコントロールステータスレジスタ CHAP_Ctrl_Stat	CHAP_Dav	CHAP_Nak	CHAP_Ack	-	Chal_Int_En	Nak_Int_En	Ack_Int_En	-		
0x40-0x43	ローカルIPアドレスレジスタ Local_IP_Addr	ローカルIPアドレス									
0x44-0x45	PPPプロトコルレジスタ PPP_Prot	送信パケット用PPPプロトコル									
0x46	CHAP IDレジスタ CHAP_ID	CHAPパケットからのコードID									
0x48-0x4B	ピアIPアドレスレジスタ Peer_IP_Addr	ピアIPアドレス									
0x4E-0x4F	PPPデータ長レジスタ PPP_Data_Len	読み出しに利用できるPPPデータ長									
0x50	PPP状態レジスタ PPP_State	NCP状態					LCP状態				
0x52-0x53	MRUレジスタ MRU	ピアのMRU									
0x71	シリアルポートバージョンレジスタ SP_Rev	シリアルポートバージョン(0x20)									
0x72	シリアルポートコンフィグレジスタ SP_Config	-	-	HWFC	CTS	-	DTR	RTS	SCTL		
0x73	シリアルポートステータスレジスタ SP_Status	Data_Av	DCD	DSR	CTS	RI	DTR	RTS	SCTL		
0x76	シリアルポート割り込みイネーブルレジスタ SP_Int_Enable	Plnt_En	DSInt_En	DVInt_En	DCD_Int_En	-	-	-	-		
0x78	シリアルポート割り込みレジスタ SP_Int	Plnt	DSInt	DVInt	DCD_Int	-	-	-	-		
0x7C	シリアルポートデータレジスタ SP_Data	シリアルポートデータ									

iAPI	レジスタ名	レジスタ定義
0x80-0x81	シリアルポートの波特率分周レジスタ SP_BAUD_Rate_Div	シリアルポートの波特率

注： 予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

7.5.6 PPP / シリアルポートレジスタの定義

7.5.6.1 PPPアプリケーションIDレジスタ[PPP_App_ID] 0x30

(読み出し専用。デフォルト0x01)

このレジスタは、PPPモジュールのアプリケーションIDを示します。この値は0x01です。

表 7-125 アプリケーションIDレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	PPPアプリケーションID							
デフォルト	0	0	0	0	0	0	0	1

7.5.6.2 PPPレビジョンIDレジスタ[PPP_Revision] 0x31

(読み出し専用。デフォルト0x15)

このレジスタは、PPPモジュールのレビジョンIDを示します。この値は0x15です。

表 7-126 レビジョンIDレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	PPPレビジョン							
デフォルト	0	0	0	1	0	1	0	1

7.5.6.3 PPPコントロール/ステータスレジスタ[PPP_Ctrl_Stat] 0x32

(読み出し/書き込み。デフォルト0x00)

このレジスタはPPPモジュールを制御し、そのステータスを示します。

表 7-127 PPPコントロール/ステータスレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	PPP_Int	Con_Val	Use_PAP	TO_Dis	PPP_Int_En	Kick	PPP_En	PPP_Up/SRst
デフォルト	0	0	0	0	0	0	0	0

表 7-128 PPPコントロール/ステータスレジスタの説明

ビット	ビット名称	アクセス	説明
7	PPP_Int	R/W	PPP割り込み このビットは、PPP割り込み要因表示です。PPP割り込みモードレジスタ(0x38)を調べると、割り込み要因を特定できます。このビットに"1"を書き込むと、割り込みをクリアします。PPP割り込みはこのレジスタのビット3でイネブルになります。 "0"でPPP割り込みなし "1"でPPP割り込みあり
6	Con_Val	R/W	接続確定 PPP接続が可能な状態であることをPPPモジュールへ通知します。このレジスタのビット1に"1"を書き込むときは、同時にこのビットにも"1"を書き込んでください。"0"を書き込む前に、PPPが切断されていることを確認して下さい。 "0"でPPP接続ができない状態(デフォルト) "1"でPPP接続が可能な状態
5	Use_PAP	R/W	PAP認証の使用 このビットがイネブルであれば、LCPフェーズでピアからのPAP認証の設定要求をACKして、PAPストリングを送信します。PAPストリングはPAPストリングレジスタ(0x3D)へ入力しますが、その前にこのビットを設定してください。PAPストリングが適切であれば、S-7601AはピアからPAP認証されます。ピアへPAP認証の設定要求を送信することはできません。つまり、S-7601AはピアをPAP認証することはできません。 CHAP認証がイネブルならば、このビットの設定にかかわらずCHAP認証が行われます。 "0"でPAPがデイスイェブル(デフォルト) "1"でPAPがイネブル
4	TO_Dis	R/W	このビットはテスト用途のため、必ず"0"を書き込んで下さい。
3	PPP_Int_En	R/W	PPP割り込み許可 このビットはPPP割り込みをイネブルにします。 "0"でPPP割り込みがデイスイェブル(デフォルト) "1"でPPP割り込みがイネブル
2	Kick	R/W	このビットはテスト用途のため、必ず"0"を書き込んで下さい。
1	PPP_En	R/W	PPPイネブル このビットを"0"から"1"に変更すると、PPPモジュールをイネブルにしてPPP接続要求を開始します。このとき、このレジスタのビット6にも"1"を書き込んでください。 TCP/UDP通信はPPP接続が確立したあとで行います。このビットを"1"から"0"に変更すると、PPP切断要求を開始されPPPモジュールをデイスイェブルにします。 "0"でPPPがデイスイェブル(デフォルト) "1"でPPPがイネブル

ビット	ビット名称	アクセス	説明
0	PPP_Up/SRst	R/W	<p>PPP接続確立/PPPリセット</p> <p>読み出し時は、PPPをイネーブルに変更した結果、このビットが"0"から"1"へ変化すると、PPPが接続を確立したことを示します。</p> <p>"0"でPPP接続未確立 "1"でPPP接続確立</p> <p>書き込み時は、このビットはPPPエントリをリセットします。自動的にクリアしますので、"0"を書き込まなくても通常動作になります。"1"を書き込む前に、PPPが切断されていることを確認して下さい。</p> <p>"0"でPPPをリセットしない "1"でPPPをリセットする</p>

PPP接続時の書き込み手順例

7	6	5	4	3	2	1	0
PPP_Int	Con_Val	Use_PAP	TO_Dis	PPP_Int_En	Kick	PPP_En	PPP_Up/SRst
0	0	0	0	0	0	0	1
--	1	--	0	--	0	0	0
(その他のレジスタ設定)							
--	1	--	0	--	0	1	0
(PPP接続確立確認)							

PPP切断時の書き込み手順例

7	6	5	4	3	2	1	0
PPP_Int	Con_Val	Use_PAP	TO_Dis	PPP_Int_En	Kick	PPP_En	PPP_Up/SRst
--	1	--	0	--	0	0	0
(PPP切断確認)							
0	0	0	0	0	0	0	0

PPP切断時の書き込み（ピアからの切断、異常系の切断）手順例

7	6	5	4	3	2	1	0
PPP_Int	Con_Val	Use_PAP	TO_Dis	PPP_Int_En	Kick	PPP_En	PPP_Up/SRst
(PPP切断確認)							
0	0	0	0	0	0	0	0

--は、必要に応じて設定します。これらは一例です。実際の手順はアプリケーション仕様で決定してください。

7.5.6.4 PPP割り込みコードレジスタ[PPP_Int_Code] 0x38

(読み出し専用。デフォルト0x00)

このレジスタは、PPP割り込みステータスコードを示します。

表 7-129 PPP割り込みコードレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	PPP割り込みステータスコード							
デフォルト	0x00							

表 7-130 PPP割り込みステータスコード

ステータスコード	定義
0x00	予約済み
0x01	PPPがLCPネゴシエーションに失敗
0x02	PPPがNCPネゴシエーションに失敗
0x04	ターミネーション要求を受け取った
0x05	PAP認証が失敗
0x06	CHAPチャレンジを受信
0x07	CHAP Ackを受信
0x08	CHAP Nakを受信
0x09	PPP接続
0x0A	PPP切断

ステータスコードの0x01, 0x02, 0x05, 0x09, 0x0AはPPP割り込み要因の特定表示です。PPPコントロール/ステータスレジスタのPPP_Int_En(0x32、ビット3)の値によらず読み出せますのでポーリングによる監視も可能です。ステータスコードの0x04はポーリングによる監視に用います。ステータスコードの0x06, 0x07, 0x08はPPP割り込み要因の特定表示です。これらの割り込みはCHAPコントロール/ステータスレジスタ(0x3F)でイネーブルされます。これらをポーリングによって監視するときは、CHAPコントロール/ステータスレジスタで行ってください。PPP接続確立はステータスコードの0x09で確認できます。PPP切断はステータスコードの0x0Aで確認できます。ピアからPPP切断を要求された場合、ステータスコードは0x04 - 0x0A - 0x01と遷移します。この場合、0x0Aか0x01であればPPP切断と判断できます。ステータスコードの0x01, 0x02, 0x05, 0x08は異常系のPPP切断を示します。多くのダイヤルアップサーバはPPP切断するとダイヤルアップ接続そのものを切断します。また、アプリケーションはタイマーなどを用いて接続要求への応答を監視して、アプリケーションが定めた規定時間内に0x09に遷移しない場合は、異常と判断すべきです。アプリケーション仕様で決定することがらですが、PPP切断または異常と判断したらハードウェアリセットが少なくともソフトウェアリセットすることをお勧めします。その後、必要ならあらためてダイヤルアップ接続してください。

7.5.6.5 PPPデータレジスタ[PPP_Data] 0x3C

(読み出し/書き込み。デフォルトN/A)

このレジスタからCHAPチャレンジを1バイトづつ読み出します。このレジスタを読み出す前に、PPPデータ長レジスタ(0x4E-0x4F)を読み出して、受信データのバイト数を確かめておいてください。また、このレジスタへCHAP応答を1バイトづつ書き込みます。書き込みを行う前に、PPP最大リトライレジスタのPPP_Bufビット(0x3E、ビット5)が"1"であることを確認する必要があります。すべてのデータを書き込んだあと、PPPデータ長レジスタ(0x4E)のLSBレジスタに0x00を書き込むとCHAP応答パケットが送信されます。

表 7-131 PPPデータレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	PPPデータ							
デフォルト	N/A							

7.5.6.6 PAPistringレジスタ[PAP_String] 0x3D

(書き込み。デフォルトN/A)

このレジスタから、PAPstringを1バイトづつ入力します。PAPstringは、表7-131に示すフォーマットに従って入力してください。

表 7-132 PAPstringフォーマット

バイト	string
[0]	ユーザ名の長さ
[1]	ユーザ名の最初のバイト
[2]	ユーザ名の第2位のバイト
[n]	ユーザ名の最後のバイト(ここで"n"はユーザ名stringの長さです)
[n+1]	パスワードの長さ
[n+2]	パスワードの最初のバイト
[n+m+1]	パスワードの最後のバイト(ここで"m"はパスワードstringの長さです)

例：ユーザ名stringが「joe」で、パスワードが「public」である場合、表7-132に示すようにバイトを入力してください。

表 7-133 PAPstringの例

バイト	値	説明
0	0x03	ユーザ名stringの長さ
1	0x6a	文字 "j"
2	0x6f	文字 "o"
3	0x65	文字 "e"
4	0x06	パスワードstringの長さ
5	0x70	文字 "p"
6	0x75	文字 "u"
7	0x62	文字 "b"
8	0x6c	文字 "l"
9	0x69	文字 "i"
a	0x63	文字 "c"

PAPstringを入力する前に、PPPコントロール/ステータスレジスタ(0x32)のUse_PAPビットを"1"に設定してください。

7.5.6.7 PPP最大リトライレジスタ[PPP_Max_Retry] 0x3E

(読み出し/書き込み。デフォルト0x2A)

このレジスタはPPPのパラメータを制御し、また、ステータスを示します。

表 7-134 PPP最大リトライレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	IPAD	Use_CHAP	PPP_Buf	PAP_Rst	最大リトライ			
デフォルト	0	0	1	0	0xA			

表 7-135 PPP最大リトライレジスタの説明

ビット	ビット名称	アクセス	説明
7	IPAD	R/W	<p>IPアドレス割り当てモード・イネーブル</p> <p>このビットは、IPアドレス割り当てモードをイネーブルします。イネーブルで、かつ、NCPフェーズでピアから0.0.0.0のIPアドレス設定要求を受信すると、ワイルドカードに10.10.10.10を設定したNAKパケットを送信します。従ってピアのIPアドレスはこの10.10.10.10に割り当てられます。下位の2ビットはS-7601Aが自動的にランダムに決定します。これ以外の場合、S-7601AはピアからのIPアドレス設定要求をACKします。</p> <p>"0"でクライアントモード (デフォルト)</p> <p>"1"でIPアドレス割り当てモード</p>
6	Use_CHAP	R/W	<p>CHAP使用</p> <p>このビットがイネーブルであれば、LCPフェーズでピアからのCHAP認証の設定要求をACKします。CHAPチャレンジを受信したらアプリケーションは受信データとIDを読み出し、CHAP応答を組み立てて送信してください。通常はMD5のアルゴリズムが採用されています。MD5はRFC1321で標準化されています。CHAP応答が適切であればS-7601AはピアからCHAP認証されます。ピアへCHAP認証の設定要求を送信することはできません。つまり、S-7601AはピアをCHAP認証することはできません。</p> <p>CHAP認証がイネーブルならば、Use_PAPビットの設定にかかわらずCHAP認証が行われます。</p> <p>"0"でCHAPがディisable (デフォルト)</p> <p>"1"でCHAPがイネーブル</p>
5	PPP_Buf	R	<p>PPPバッファクリア</p> <p>このビットは、PPPデータレジスタ(0x3C)へ書き込み可能なことを示します。</p> <p>"0"でPPPデータレジスタへ書き込みできない</p> <p>"1"でPPPデータレジスタへ書き込み可能</p>
4	PAP_Rst	W	<p>PAPリセット</p> <p>このビットは、PAPデータレジスタをリセットするために使用されます。PAPデータレジスタは書き込みを行う前に、リセットしてください。このビットは自動的にクリアしますので、"0"を書き込まなくても通常動作になります。</p> <p>"0"でPAPデータレジスタをリセットしない</p> <p>"1"でPAPデータレジスタをリセットする</p>
3:0	Max_Retry	R/W	<p>最大リトライ</p> <p>このフィールドは、PPPセッションの各フェーズでピアから正常なACKが得られないときに何回リトライするかをPPPエンジンに指示します。デフォルトで、このフィールドは0xAに設定されます。0xAのカウンタなので11回のリトライです。この設定はRFC勧告に準拠するものです。</p>

7.5.6.8 CHAPコントロール/ステータスレジスタ[CHAP_Ctrl_Stat] 0x3F

(読み出し/書き込み。デフォルト0x00)

このレジスタは各種のCHAPパラメータを制御し、各種のステータスビットを示します。

表 7-136 CHAPコントロール/ステータスレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	CHAP_Dav	CHAP_Nak	CHAP_Ack	-	Chal_Int_En	Nak_Int_En	Ack_Int_En	-
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

表 7-137 CHAPコントロール/ステータスレジスタの説明

ビット	ビット名称	アクセス	説明
7	CHAP_Dav	R/W	CHAPデータ有効 このビットはCHAPチャレンジパケットが受信され、データを読み出すことができる状態になったことを示します。Chal_Int_Enビットが"1"に設定されていると、そのときPPP割り込みが発生します。このビットに"1"を書き込むと、このビットと割り込みはクリアされます。この割り込みはまた、PPPコントロール/ステータスレジスタ(0x32)のPPP_Intビットに"1"を書き込んででもクリアすることができます。 "0"でCHAPチャレンジデータなし(デフォルト) "1"でCHAPチャレンジデータあり
6	CHAP_Nak	R/W	CHAP Nak受信 このビットは、CHAP Nakパケットが受信されたことを示します。Nak_Int_Enビットが"1"に設定されていると、そのときPPP割り込みが発生します。このビットに"1"を書き込むと、このビットと割り込みはクリアされます。この割り込みはまた、PPPコントロール/ステータスレジスタ(0x32)のPPP_Intビットに"1"を書き込んででもクリアすることができます。 "0"で通常状態(デフォルト) "1"でCHAP Nak受信
5	CHAP_Ack	R/W	CHAP Ack受信 このビットは、CHAP Ackパケットが受信されたことを示します。Ack_Int_Enビットが"1"に設定されていると、そのときPPP割り込みが発生します。このビットに"1"を書き込むと、このビットと割り込みはクリアされます。この割り込みはまた、PPPコントロール/ステータスレジスタ(0x32)のPPP_Intビットに"1"を書き込んででもクリアすることができます。 "0"で通常状態(デフォルト) "1"でCHAP Ack受信
3	Chal_Int_En	R/W	チャレンジ割り込みイネーブル このビットは、CHAPチャレンジパケットが受信されると発生するPPP割り込みをイネーブルにします。このビットの状態によらず、このレジスタのCHAP_Davビットは読み出せます。 "0"でチャレンジ割り込みがディセーブル(デフォルト) "1"でチャレンジ割り込みがイネーブル

ビット	ビット名称	アクセス	説明
2	Nak_Int_En	R/W	Nak割り込みイネーブル このビットは、CHAP Nakパケットを受信すると発生するPPP割り込みをイネーブルにします。このビットの状態によらず、このレジスタのCHAP_Nakビットは読み出せます。 "0"でNak割り込みがディisable(デフォルト) "1"でNak割り込みがイネーブル
1	Ack_Int_En	R/W	ACK割り込みイネーブル このビットは、CHAP ACKパケットを受信すると発生するPPP割り込みをイネーブルにします。このビットの状態によらず、このレジスタのCHAP_Ackビットは読み出せます。 "0"でACK割り込みがディisable(デフォルト) "1"でACK割り込みがイネーブル

7.5.6.9 ローカルIPアドレスレジスタ[Local_IP_Addr] 0x40-0x43

(読み出し/書き込み。デフォルト0x00000000)

これらのレジスタを設定してからPPP接続を行うと、S-7601AはNCPフェーズでまずその設定値のIPアドレスを設定要求します。ピアがそれをACKすればローカルIPアドレスは設定値になります。ピアにフローティングIPアドレス割り付けの機能がある場合は、S-7601Aからの設定要求をNAKして、ローカルIPアドレスを割り付ける場合もあります。このレジスタを0x00000000でPPP接続を行った場合、S-7601AはNCPフェーズで0.0.0.0のIPアドレスを設定要求します。ピアは必ずこれをNAKしてローカルIPアドレスを割り付けます。PPP接続確立を確認してから、これらのレジスタを読み出すと最終的にネゴシエーションされたローカルIPアドレスを示します。

表 7-138 ローカルIPアドレスレジスタビットの定義(0x40)

ビット	7	6	5	4	3	2	1	0
定義	ローカルIPアドレスのLSB							
デフォルト	0x00							

表 7-139 ローカルIPアドレスレジスタビットの定義(0x41)

ビット	7	6	5	4	3	2	1	0
定義	ローカルIPアドレスの第3位のバイト							
デフォルト	0x00							

表 7-140 ローカルIPアドレスレジスタビットの定義(0x42)

ビット	7	6	5	4	3	2	1	0
定義	ローカルIPアドレスの第2位のバイト							
デフォルト	0x00							

表 7-141 ローカルIPアドレスレジスタビットの定義(0x43)

ビット	7	6	5	4	3	2	1	0
定義	ローカルIPアドレスのMSB							
デフォルト	0x00							

7.5.6.10 PPPプロトコルレジスタ[PPP_Prot] 0x44-0x45

(読み出し/書き込み。デフォルト0xC223)

これらのレジスタは、アプリケーションが組み立てたPPPパケットのプロトコルを指定します。デフォルトでは、これらのレジスタはCHAPプロトコル(0xC223)に初期化されます。通常デフォルト以外に設定する必要はありません。CHAP以外のプロトコルを使用する場合、これらのレジスタはPPPデータレジスタ(0x3C)にデータを書き込む前に設定する必要があります。

表 7-142 PPPプロトコルレジスタビットの定義(0x44)

ビット	7	6	5	4	3	2	1	0
定義	プロトコルのLSB							
デフォルト	0x23							

表 7-143 PPPプロトコルレジスタビットの定義(0x45)

ビット	7	6	5	4	3	2	1	0
定義	プロトコルのMSB							
デフォルト	0xC2							

7.5.6.11 CHAP IDレジスタ[CHAP_ID] 0x46

(読み出し専用。デフォルトN/A)

このレジスタは、受信したCHAPチャレンジ、CHAP Ack、CHAP NakパケットのIDを示します。CHAPコントロール/ステータスレジスタ(0x3F)のCHAP_Dav、CHAP_Ack、あるいはCHAP_Nakビットが"1"のとき、有効になります。

表 7-144 CHAP IDレジスタビットの定義(0x46)

ビット	7	6	5	4	3	2	1	0
定義	受信CHAP ID							
デフォルト	N/A							

7.5.6.12 ピアIPアドレスレジスタ[Peer_IP_Add] 0x48-0x4B

(読み出し専用。デフォルト0x00000000)

PPP接続確立を確認してから、これらのレジスタを読み出すとネゴシエーションされたPPPのピアIPアドレスを示します。これらのレジスタを、表7-144～表7-147に定義します。

表 7-145 ピアIPアドレスレジスタビットの定義(0x48)

ビット	7	6	5	4	3	2	1	0
定義	ピアIPアドレスのLSB							
デフォルト	0x00							

表 7-146 ピアIPアドレスレジスタビットの定義(0x49)

ビット	7	6	5	4	3	2	1	0
定義	ピアIPアドレスの第3位のバイト							
デフォルト	0x00							

表 7-147 ピアIPアドレスレジスタビットの定義(0x4A)

ビット	7	6	5	4	3	2	1	0
定義	ピアIPアドレスの第2位のバイト							
デフォルト	0x00							

表 7-148 ピアIPアドレスレジスタビットの定義(0x4B)

ビット	7	6	5	4	3	2	1	0
定義	ピアIPアドレスのMSB							
デフォルト	0x00							

7.5.6.13 PPPデータ長レジスタ[PPP_Data_Len] 0x4E-0x4F

(読み出し専用。デフォルト0x0000)

これらのレジスタは、読み出すことができるPPPデータ長を示します。それはCHAPチャレンジ受信データのバイト数です。これらのレジスタは、CHAPコントロール/ステータスレジスタ(0x3F)のChap_Davビット"1"のとき有効になります。読み出しによってカウントがデクリメントすることはありません。LSBレジスタ(0x4E)に0x00を書き込むと、入力されたCHAP応答が送信されます。

表 7-149 PPPデータ長レジスタビットの定義(0x4E)

ビット	7	6	5	4	3	2	1	0
定義	データ長のLSB							
デフォルト	0x00							

表 7-150 PPPデータ長レジスタビットの定義(0x4F)

ビット	7	6	5	4	3	2	1	0
定義	データ長のMSB							
デフォルト	0x00							

7.5.6.14 PPP状態レジスタ[PPP_State] 0x50

(読み出し専用。デフォルト0x00)

このレジスタは、PPPモジュールのLCPとNCPの現在の状態を示します。

表 7-151 PPP状態レジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	NCP状態				LCP状態			
デフォルト	0x0				0x0			

表 7-152 PPP状態レジスタの説明

ビット	ビット名称	アクセス	説明
7:4	NCP状態	R	このフィールドは、表7-152に定義するNCPの現在の状態を示します。
3:0	LCP状態	R	このフィールドは、表7-152に定義するLCPの現在の状態を示します。

表 7-153 NCP、LCPの状態

状態	定義
0	初期状態
1	起動状態
2	クローズ 状態
3	停止状態
4	クローズ 中
5	停止中
6	送信要求状態
7	Ack受信状態
8	Ack送信状態
9	オープン状態

これらの各状態の詳細については、RFC PPPを参照してください。

注：PPPの接続確立は、必ずPPPコントロール/ステータスレジスタ（0x32）のPPP_Up/SRstビットが "1"またはPPP割り込みコードレジスタ(0x38)のステータスコードが "0x09"になっていることによって確認して下さい。

7.5.6.15MRUレジスタ 0x52-0x53

(読み出し専用。デフォルト0x05DC)

これらのレジスタは、LCPフェーズでピアが要求したMRUを示します。この値は、LCP状態が9のときに有効になります。LCP状態は、PPP状態レジスタ(0x50)を読み出すことによって確かめることができます。RFC PPPでは全てのPPP実装は少なくとも1,500バイトの受信ができることを規定しています。S-7601Aから1,500バイト以上のパケットを送信することはないので、通常の適正なピアとの通信であればこの値によって制御すべきことはありません。RFC PPPを確認してください。

表 7-154 MRU下位レジスタビットの定義(0x52)

ビット	7	6	5	4	3	2	1	0
定義	MRUのLSB							
デフォルト	0xDC							

表 7-155 MRU上位レジスタビットの定義(0x53)

ビット	7	6	5	4	3	2	1	0
定義	MRUのMSB							
デフォルト	0x05							

7.5.6.16シリアルポートレビジョンレジスタ[SP_Rev] 0x71

(読み出し専用。デフォルト0x20)

これらのレジスタは、シリアルポートのレビジョンIDを示します。この値は、0x20です。

表 7-156 シリアルポートレビジョンレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	シリアルポートレビジョン							
デフォルト	0	0	1	0	0	0	0	0

7.5.6.17 シリアルポートコンフィグレーションレジスタ[SP_Config] 0x72

(読み出し/書き込み。)

これらのレジスタは、表7-156、表7-157に示すようにシリアルポートを制御します。

表 7-157 シリアルポートコンフィグレーションレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	-	-	HWFC	CTS	-	DTR	RTS	SCTL
デフォルト	0	0	0	-	0	1	1	0

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

表 7-158 シリアルポートコンフィグレーションレジスタの説明

ビット	ビット名称	アクセス	説明
5	HWFC	R/W	ハードウェア制御 このビットはハードウェア制御をコントロールします。 "0"でハードウェア制御が非アクティブ(デフォルト) "1"でハードウェア制御がアクティブ ハードウェア制御の詳細については、第8章「データ通信」を参照してください。
4	CTS	R	送信クリア このビットは、シリアルポートのCTS信号の入力レベルを読み出します。CTS信号の入力レベルはHWFCビットが"0"のときはS-7601Aの動作に影響を与えません。HWFCビットが"1"のときはCTS信号の入力レベルはハードウェア制御の要因となります。SCTLビットの設定には影響されません。
2	DTR	R/W	データ端子レディ このビットへの書き込みは、シリアルポートのDTRX信号の出力レベルを設定します。読み出すとその出力レベルを示します。HWFCビット、SCTLビットの設定には影響されません。
1	RTS	R/W	送信要求 HWFCビットが"0"のときこのビットへの書き込みは、シリアルポートのRTSX信号の出力レベルを設定します。HWFCビットが"1"のときはこのビットへの書き込みは無視され、自動的にハードウェア制御されてRTSX信号の出力レベルが決まります。HWFCビット、SCTLビットの設定には影響されません。読み出すとその出力レベルを示します。読み出しではHWFCビット、SCTLビットの設定には影響されません。
0	SCTL	R/W	シリアルポート制御 このビットはMPUとネットワークスタックのどちらがシリアルポートを制御するかを決定します。アプリケーションがモデム、ダイヤルアップ関連の制御を行うときはこのビットを"0"にします。PPP、TCP、UDPの通信をするときは"1"にしてネットワークスタックからシリアルポートを制御します。 "0"でMPUがシリアルポートを制御(デフォルト) "1"でネットワークスタックがシリアルポートを制御

7.5.6.18 シリアルポートステータスレジスタ[SP_Status] 0x73

(読み出し専用。)

このレジスタは、表7-158、表7-159に示すようにシリアルポートのステータスを示します。

表 7-159 シリアルポートステータスレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	Data_Av	DCD	DSR	CTS	RI	DTR	RTS	SCTL
デフォルト	0	-	-	-	-	1	1	0

表 7-160 シリアルポートステータスレジスタの説明

ビット	ビット名称	アクセス	説明
7	Data_Av	R	シリアルポートデータが有効 このビットを読み出すと、シリアルポート受信データがあることを示します。 "0"でデータなし "1"でデータあり
6	DCD	R	データキャリア検出 このビットはシリアルポートのDCD信号の入力レベルを示します。
5	DSR	R	データ送信レディ このビットは、シリアルポートのDSRX信号の入力レベルを示します。
4	CTS	R	送信クリア このビットは、シリアルポートのCTS信号の入力レベルを示します。
3	RI	R	リングインディケータ このビットは、シリアルポートのRI信号の入力レベルを示します。
2	DTR	R	データ端子レディ このビットは、シリアルポートのDTRX信号の出力レベルを示します。
1	RTS	R	送信要求 このビットは、シリアルポートのRTSX信号の出力レベルを示します。
0	SCTL	R	シリアルポート制御 このビットは、MPUとネットワークスタックのどちらがシリアルポートを制御しているのかを示します。 "0"でMPUがシリアルポートを制御(デフォルト) "1"でネットワークスタックがシリアルポートを制御

7.5.6.19 シリアルポート割り込みイネーブル[SP_Int_Enable]レジスタ 0x76

(読み出し/書き込み。デフォルト0x00)

このレジスタは、シリアルポート割り込みをイネーブルにします。このビットが設定されると、対応する割り込みがイネーブルになります。このレジスタのデフォルト値は0x00です。

表 7-161 シリアルポート割り込みイネーブルレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	Plnt_En	DSInt_En	DVInt_En	DCDInt_En	-	-	-	-
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

表 7-162 シリアルポート割り込みイネーブルレジスタの説明

ビット	ビット名称	アクセス	説明
7	Plnt_En	R/W	ポート割り込みイネーブル これは、Plntビット(レジスタ0x78,ビット7)をイネーブルにします。このビットはシリアルポート割り込みのマスタイネーブルです。
6	DSInt_En	R/W	データ送信割り込みイネーブル これは、DSIntビット(レジスタ0x78,ビット6)をイネーブルにします。
5	DVInt_En	R/W	データ有効割り込みイネーブル これは、DVIntビット(レジスタ0x78,ビット5)をイネーブルにします。
4	DCDInt_En	R/W	DCD割り込みイネーブル これは、Plntビット(レジスタ0x78,ビット7)のDCDInt要因をイネーブルにします。

7.5.6.20 シリアルポート割り込み[SP_Int]レジスタ 0x78

(読み出し/書き込み。デフォルト0x00)

このレジスタは、シリアルポート割り込み要因の特定表示です。

表 7-163 シリアルポート割り込みレジスタビットの定義

ビット	7	6	5	4	3	2	1	0
定義	Plnt	DSInt	DVInt	DCDInt	-	-	-	-
デフォルト	0	0	0	0	0	0	0	0

注：予約済みのビットはダッシュ(-)で示しています。予約済みのすべてのビットには"0"が書き込まれなければなりません。

表 7-164 シリアルポート割り込みレジスタの説明

ビット	ビット名称	アクセス	説明
7	Plnt	R	ポート割り込み シリアルポート割り込みの要因表示です。Plnt_Enが"1"のときに有効です。有効のときに、このレジスタのDSInt, DVIntのどちらかでも"1"ならば、このビットは"1"になります。また、有効のときに、DCDInt_Enが"1"で、かつ、このレジスタのDCDIntが"1"ならば、このビットは"1"になります。これ以外ではクリアされます。このビットが"1"の間シリアルポート割り込みが発生します。
6	DSInt	R	データ送信割り込み DSInt_Enが"0"のとき、このビットはクリアです。DSInt_Enが"1"のとき、このビットは次を示します。 "0"でシリアルポートレジスタに送信データ書き込みできない "1"でシリアルポートレジスタに送信データ書き込みできる
5	DVInt	R	データ有効割り込み DVInt_Enが"0"のとき、このビットはクリアです。DVInt_Enが"1"のとき、このビットは次を示します。 "0"でまだ読み出していないシリアルポート受信データがない "1"でまだ読み出していないシリアルポート受信データがある
4	DCDInt	R/W	DCD割り込み DCDInt_Enの設定によらず、DCD信号の入力レベルに変化があると、このビットは"1"となります。このビットに"1"を書き込むとクリアします。現在のDCD信号の入力レベルはシリアルポートステータスレジスタのDCDビット(0x73、ビット6)で確認できます。

7.5.6.21 シリアルポートデータレジスタ[SP_Data] 0x7C

(読み出し/書き込み。デフォルト0x0000)

このレジスタは、書き込みをするとシリアルポートからデータを送信します。書き込みの前にDSInt_Enビットを"1"に設定してシリアルポート割り込みレジスタのDSIntビット(0x78、ビット6)が"1"であることを確認して下さい。シリアルポートステータスレジスタのData_Avビット(0x73、ビット7)が"1"のときはまだ読み出していないシリアルポート受信データがあります。そのときこのレジスタを読み出すと受信データが読み出せます。すべての受信データを読み出すとData_Avビットは"0"になります。

注： このレジスタにアクセスするときは、シリアルポートコンフィグレーションレジスタ(0x72)のSCTLビットが"0"である必要があります。また、PPP切断の状態ではなくてはいけません。

7.5.6.22 シリアルポートボーレート分周レジスタ[SP_BAUD_Rate_Div] 0x80-0x81

(読み出し/書き込み。デフォルト0x0000)

これらのレジスタは、シリアルポートのボーレートを設定します。以下の式を使って値を計算します。

$$\text{プログラム値} = (\text{clk周波数} / (\text{ボーレート})) - 1$$

ここで、clkはS-7601Aのクロックレートです。

例えば、S-7601Aクロックレートが256kHzで、64Kbpsのボーレートの通信をする場合、プログラム値は以下の通りです。

$$(256 \text{ kHz} / 64 \text{ k}) - 1 = 4 - 1 = 3$$

これらのレジスタにプログラムする最低値は0x0003です。

またボーレート精度を2%以内の精度で合わせこむ必要があります。そのためS-7601Aクロックレートとボーレートの比をほぼ整数倍にする必要があります。例えば、S-7601Aクロックレートが76800Hzで9600bpsの通信をする場合、

$76800 / 9600 = 8$ と整数倍になり、問題ありませんが、クロックレートを100KHzとすると

$100000 / 9600 = 10.41$ となり、整数値からずれてしまいます。このときのレジスタに9設定したとすると、ボーレートを10000bpsに設定したこととなります。

$10000 / 9600 = 1.041$ ですのでボーレートに4.1%のずれがあります。この場合はスペックアウトとなり通信できません。このずれが前後2%以内におさまるようにしてください。

8 データ通信

8.1 シリアルポートインターフェイス

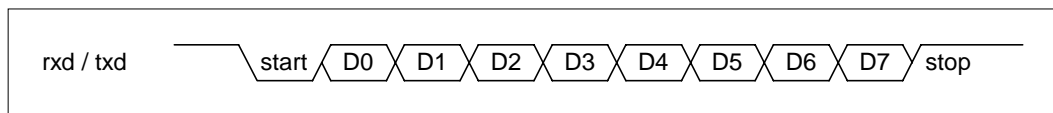
8.1.1概要

シリアルポートは標準の8ビットシリアルデータフォーマットを使用し、16バイト受信FIFOと1バイトの送信バッファを用いています。ハードウェアフロー制御をサポートしています。ボーレートは、ボーレート分周レジスタで設定します。

8.1.2データフォーマット

データフォーマットは、データビット8、スタートビット1(ロジック0)、ストップビット1(ロジック1)、パリティなしです。データはLSBを最初に送信します。このフォーマットを図8-1に示します。

図 8-1 シリアルデータフォーマット



8.1.3ハードウェアフロー制御

ハードウェアフロー制御が非アクティブの場合、データ送受信のフロー制御はアプリケーションに任せられます。S-7601Aにデータ送信が指示されると、CTS_X信号の入力レベルによらずそのデータが送信されます。したがって、相手機器の受信バッファがオーバーフローしないようにデータ送信を指示するタイミングを管理する必要があります。

SCTLビットが"0"でMPUがシリアルポートの制御を行っている場合、受信データは16バイト受信FIFOに格納されます。SCTLビットが"1"ではネットワークスタックがシリアルポートの制御を行い、受信データはモードに対応したFIFOバッファに格納されます。いずれの場合も、アプリケーションはFIFOがオーバーフローしない速さでデータを読み出さなければなりません。

アプリケーションはRTS_X信号の出力レベルを設定できます。もし相手機器のハードウェアフロー制御がアクティブであれば、RTS_X信号の出力レベルによって相手機器からのデータ送信を抑止できます。

S-7601Aでは、ハードウェアフロー制御をアクティブにすると、RS/CSハンドシェーキングがサポートされます。CTS_X信号の入力レベルによって自動的にデータ送信のタイミングが制御されます。CTS_X信号が"L"で送信可能、"H"で送信待機になります。S-7601Aにデータ送信が指示されたとき、CTS_X信号が"L"であればデータ送信を開始します。CTS_X信号が"H"であれば待機状態でありデータ送信はしません。その後"L"になるとデータ送信を開始します。S-7601Aがデータ送信中にCTS_X信号が"H"になると送信中のバイトを送信しきった時点で待機状態となり、次のバイト以降のデータ送信を停止します。その後"L"になるとデータ送信を再開します。

SCTLビットが"0"でMPUがシリアルポートの制御を行っている場合、受信データが16バイト受信FIFOへ8バイト以上格納されると、S-7601Aは自動的にRTS_X信号の出力レベルを"H"に設定します。受信FIFOが読み出され格納データが8バイト未満になると、S-7601Aは自動的にRTS_X信号の出力レベルを"L"に設定します。SCTLビットが"1"ではネットワークスタックがシリアルポートの制御を行い、受信データはモードに対応したFIFOバッファに格納されます。受信FIFOがオーバーフローしそうになると、S-7601Aは自動的にRTS_X信号の出力レベルを"H"に設定します。受信FIFOが読み出され、受信FIFOに空きができてくると、S-7601Aは自動的にRTS_X信号の出力レベルを"L"に設定します。RS/CSハンドシェーキングを適切に行うには相手機器もハードウェアフロー制御がアクティブである必要があります。

8.1.4 シリアルポート制御 (拡張iAPIレジスタマップの場合)

SCTLビットを"0"に設定するとMPUがシリアルポートの制御を行うモードになります。これはアプリケーションがモデム、ダイヤルアップ関連の制御をしてるモードです。PPPは切断されていなければなりません。シリアルポートデータレジスタに1バイト書き込みをするとシリアルポートからそのデータを送信します。書き込みの前にDSInt_Enビットを"1"に設定してリアルポート割り込みレジスタのDSIntビット(0x78、ビット6)が"1"であることを確認して下さい。シリアルポートステータスレジスタのData_Avビット(0x73、ビット7)が"1"のときはまだ読み出していないシリアルポート受信データがあります。そのときシリアルポートデータレジスタを読み出すと受信データが読み出せます。すべての受信データを読み出すとData_Avビットは"0"になります。

SCTLビットを"1"に設定するとネットワークスタックがシリアルポートの制御を行うモードになります。これはPPP、TCP、UDPの通信を行うモードです。このモードでは、シリアルポート割り込みレジスタのDSInt、DVIntビットは無効なので、DSInt_En、DVInt_Enは"0"に設定してください。また、シリアルポートデータレジスタにアクセスしてはいけません。

8.2 TCP/UDPデータ通信 (拡張iAPIレジスタマップの場合)

ソケットのレジスタにアクセスする前に、マスタインデックスレジスタを0x00(ソケット0の場合)か0x01(ソケット1の場合)でプログラムしなければなりません。PPPモジュールのレジスタにアクセスする前に、マスタインデックスレジスタを0x80でプログラムしなければなりません。

8.2.1 TCPデータ通信

データ通信は、シリアルポートコンフィグレーションレジスタのSCTLビットを"1"に設定した状態で行います。データ送信では、ソケットデータレジスタ(0x3C)にデータを書き込みます。S-7601Aは、ソケットデータレジスタを通じて、送信バッファにデータを格納します。送信バッファは、バッファ出力長レジスタ(0x4C-0x4D)によってアドレッシングされています。送信バッファにデータがない状態でバッファ出力長レジスタは0x03ffになります。ソケットデータレジスタにデータを1バイト書き込むごとにバッファ出力長レジスタはデクリメントしていきます。

データを書き終えた時点で、ソケットコマンドレジスタ(0x3A)のSend_Goビットへ"1"を書き込むと、送信バッファに格納されていたデータがプロトコル処理されて送信されます。

バッファ出力長レジスタは送信バイト分増加するので、全てのデータが送信されると0x03ffに戻ります。

データ送信では送信バッファに最大1023バイト格納できます。データグラムが1023バイトを超える場合、アプリケーションは複数回に分けて送信する必要があります。送信バッファへ1023バイトのデータを格納した時点で、バッファ出力長レジスタは0x0000になります。これ以上のデータをソケットデータレジスタに書き込んではいけません。

ここで、いったんソケットコマンドレジスタのSend_Goビットへ"1"を書き込み、送信バッファのデータを送信します。送信バッファの全データが送信され、バッファ出力長レジスタが0x03ffに戻ったことを確認して、データグラムの残りを送信するという手順を繰り返します。

なお、送信バッファの全データが送信されたことは、ソケットステータス0レジスタ(0x34)のSnd_Empビットでも、また、割り込みを受けた後、ソケット割り込みステータス0レジスタ(0x38)のSnd_Empビットでも確認できます。

S-7601Aが受信データを受けると、プロトコル処理した上で、受信データを受信バッファに格納します。

受信バッファは、バッファ入力長レジスタ(0x4E-0x4F)によってアドレッシングされています。

バッファ入力長レジスタは、受信バッファに受信データがない状態で0x0000ですが、受信データを格納するとそのバイト数分増加します。バッファ入力長レジスタが0x0000以外の値であることや、ソケットステータス0レジスタ(0x34)のRcv_Davビット、ソケットデータ有効レジスタ、あるいは、割り込みを受けた後、ソケット割り込みステータス0レジスタ(0x38)のRcv_Davビットなどによってデータ受信のあったことを知ります。

そこで、ソケットステータス0レジスタ(0x34)のRcv_Davビットを確認しながら、ソケットデータレジスタ(0x3C)を読み出すと、受信バッファから受信データが得られます。

ソケットデータレジスタからデータを1バイト読み出すごとにバッファ入力長レジスタはデクリメントしていきますので、全てのデータが読み出されると0x0000に戻ります。

TCPデータ受信では受信バッファへ最大2047バイト格納できます。お互いの受信用バッファがオーバーフローしないようにするフロー制御が、S-7601Aとピアの間でTCPプロトコルにもとづいて行われます。

8.2.2UDPデータ通信

UDPモードでのデータ送受信の手順はTCPモードと同様になりますが、お互いの受信バッファがオーバーフローしないようにする手続きは、アプリケーションに任せられます。

ただし、UDP_Rawモードでは、受信データを受けると、UDPプロトコル処理した上で、受信データに12バイトのヘッダ情報を付加して、受信バッファに格納します。

受信バッファからは、まず、ヘッダ情報12バイトが得られ、続いて受信データが得られます。このモードでは受信バッファにヘッダ情報分の12バイトも加えて、最大2047バイト格納できます。

表8-1にヘッダ情報の構成を示します。

表 8-1 ヘッダ情報の構成

先頭からの バイト数	バイトの内容	備考
0	リモートIPアドレス最上位バイト	
1	リモートIPアドレス第2位バイト	
2	リモートIPアドレス第3位バイト	
3	リモートIPアドレス最下位バイト	
4	リモートポート番号最上位バイト	
5	リモートポート番号最下位バイト	
6	ローカルポート番号最上位バイト	
7	ローカルポート番号最下位バイト	
8	UDPデータグラムサイズ 最上位バイト	UDPヘッダ8バイト分は含まれません
9	UDPデータグラムサイズ 最下位バイト	
10	UDPチェックサム最上位バイト	
11	UDPチェックサム最下位バイト	

9 リセット機能

9.1 概要

S-7601Aには、以下の4つのリセット機能があり、各リセット機能により有効範囲が異なります。

9.1.1 ハードウェアリセット機能

ハードウェアリセット機能では、S-7601Aの内部回路を全て初期化します。

S-7601AはCLK信号（クロック入力）に同期して動作します。最小で2クロックの期間、RESETX端子へ“L”を入力すると、S-7601Aはハードウェアリセット入力を受け入れて、4クロック目の立上りエッジのタイミングで内部回路の初期設定を始めます。RESETX端子を“H”に戻した後、4クロック目の立上りエッジまで初期化期間で、その後、通常状態となります。図9-1を参照してください。

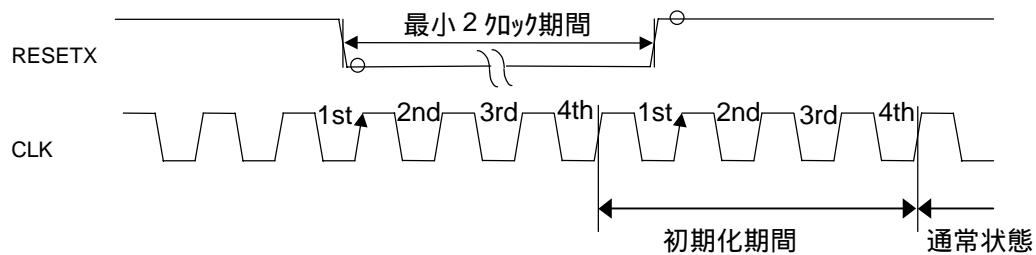


図9-1 ハードウェアリセットタイミング

9.1.2ソフトウェアリセット機能

ソフトウェアリセット機能では、ネットワークスタックの初期化を行います。

汎用コントロールレジスタ (0x01) のSW_Rstビットに “ 1 ” を2回続けて書き込むことで行います。ソフトウェアリセットは物理レイヤを初期化しません。

S-7600AコンパチブルiAPIレジスタマップ

0x08, 0x09, 0x0A, 0x0B, 0x0C, 0x0DおよびPT_INTの各レジスタは初期化されません。

もしPT_INTが“1”だと割り込みがアクティブなままです。ソフトウェアリセットは以下の手順で行ってください。

```
--  
--  
Serial_Port_Int_Mask    <    0x00  
General_Control         <    0x01  
General_Control         <    0x01  
( 上記レジスタの設定 )  
--  
--
```

拡張iAPIレジスタマップ

インデックス0x80の0x72, 0x73, 0x76, 0x78, 0x7C, 0x80, 0x81およびPT_Intの各レジスタは初期化されません。

もしPT_Intが“1”だと割り込みがアクティブなままです。ソフトウェアリセットは以下の手順で行ってください。

```
--  
--  
Master_Index           <    0x80  
SP_Int_Enable          <    0x00  
General_Control         <    0x01  
General_Control         <    0x01  
General_Control         <    0x04  
Master_Index           <    0x80  
SP_Int                  <    0x10  
( 上記レジスタの設定 )  
--  
--
```

9.1.3ソケットリセット機能

選択されているソケットのパラメータを初期化します。

S-7600AコンパチブルiAPIレジスタマップではソケットコンフィグステータス下位レジスタ (0x22) の

Data_Avail/RSTビットに “ 1 ” を書き込むことでソケットを初期化します。ソケットリセットする前に、ソケットステータス上位レジスタ (0x3A) のSnd_Bsyビットが “ 0 ” であることを確認して下さい。

拡張iAPIレジスタマップではソケットコマンドレジスタ (0x3A) のSck_Clrビットに “ 1 ” を書き込むことでソケットを初期化します。ソケットリセットする前にソケットステータス2レジスタ (0x5A) のSck_Busyビットが “ 0 ” であることを確認して下さい。

ソケットをリセットした後に、ソケットのパラメータを設定してソケットをアクティブにしてください。

9.1.4PPPリセット機能

PPPモジュールを初期化します。

S-7600AコンパチブルiAPIレジスタマップではPPPコントロールステータスレジスタ (0x60) のPPP_UP/SRstビットに “ 1 ” を書き込むことでPPPモジュールを初期化します

拡張iAPIレジスタマップではPPPコントロール/ステータスレジスタ (0x32) のPPP_UP/Rstビットに “ 1 ” を書き込むことでPPPモジュールを初期化します。

PPPモジュールをリセットした後に、PPPモジュールのパラメータを設定してPPP接続してください。

10 適用例

10.1 x80ファミリーMPUの場合

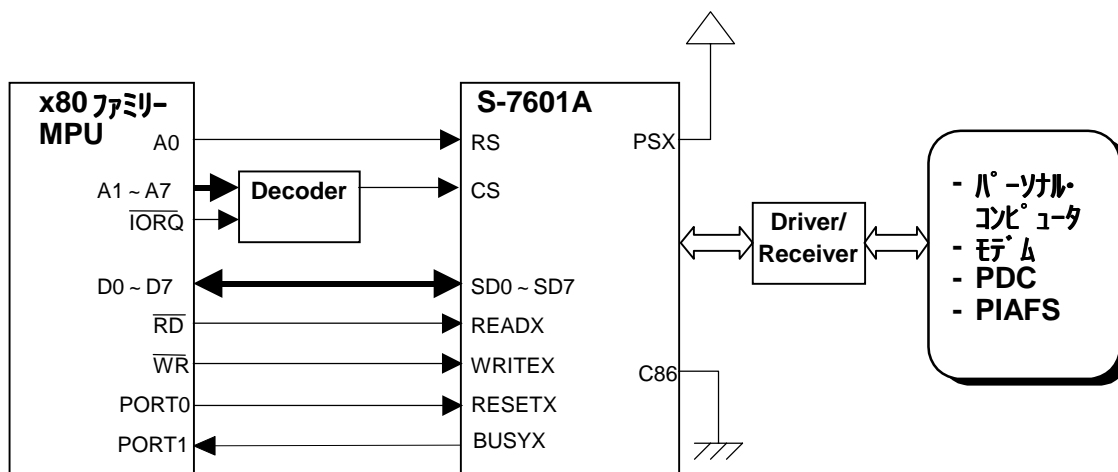


図10-1 x80ファミリーMPUの例

10.2 68kファミリーMPUの場合

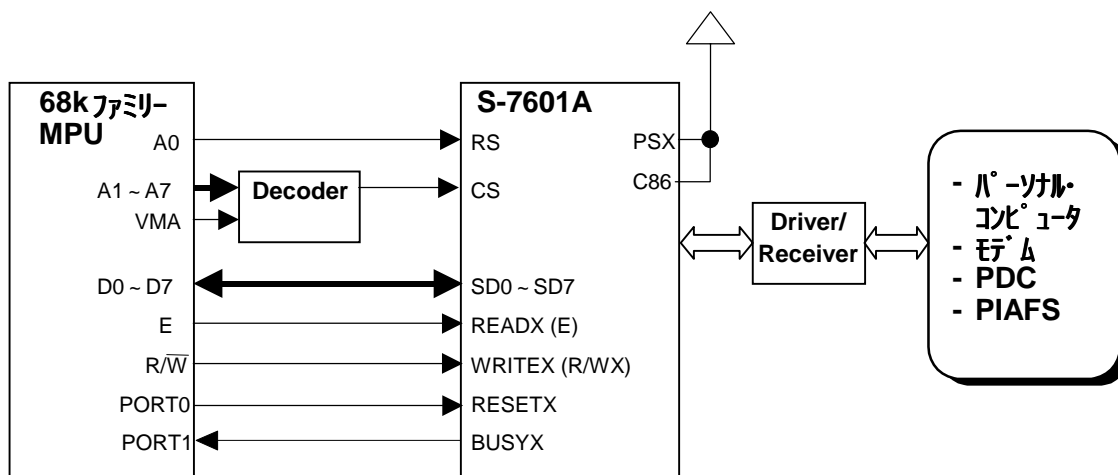


図10-2 68kファミリーMPUの例

10.3 SIIシリアルインターフェイスの場合

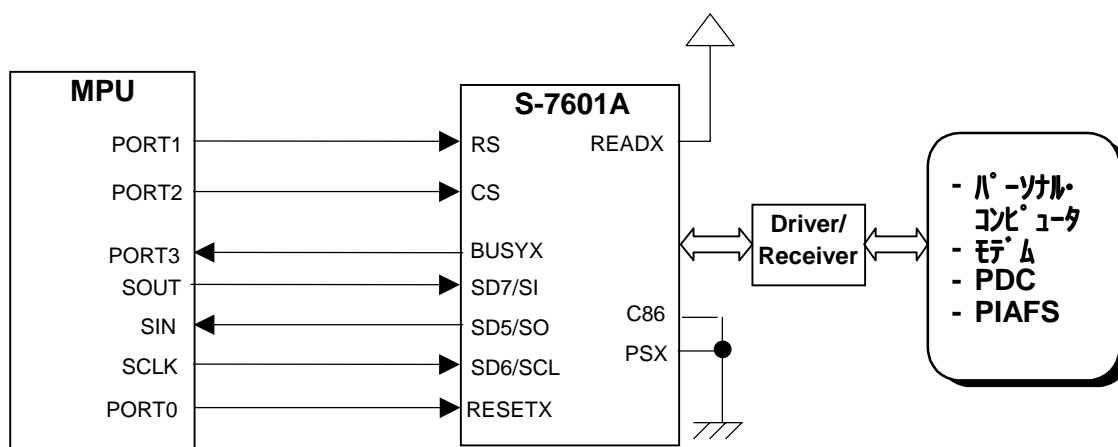


図10-3 SIIシリアルインターフェイスの例

10.4 SPIシリアルインターフェイスの場合

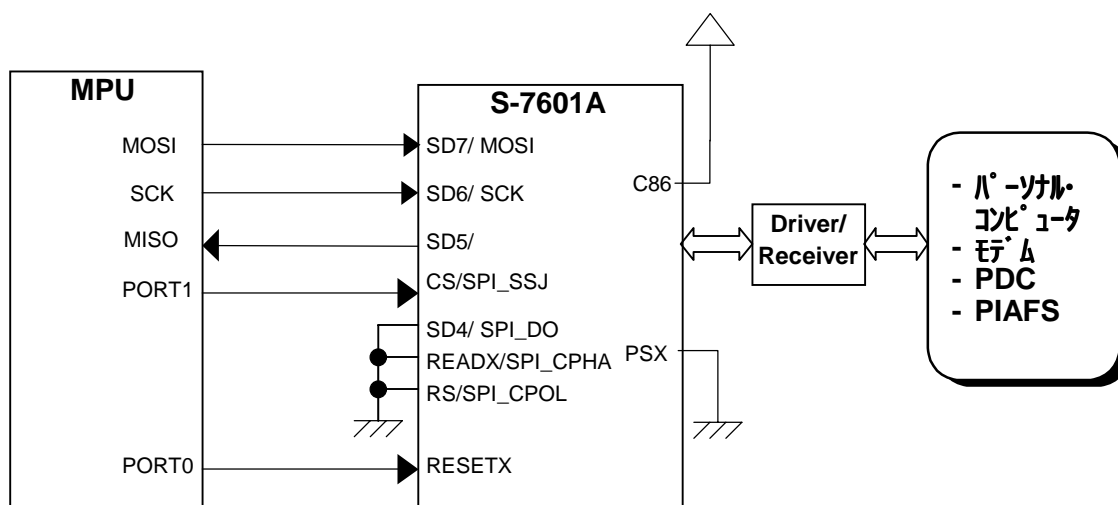


図10-4 SPIシリアルインターフェイスの例



セイコーインスツルメンツ株式会社
千葉県千葉市美浜区中瀬 1 - 8 〒261-8507
ネットワーク・コンポーネント・ビジネス
コンポーネント営業総括部半導体営業部
電話番号 : 043-211-1193
ファクシミリ : 043-211-8032
E-mail : component@sii.co.jp



S7601AサポートURL
<http://www.sii.co.jp/compo/>
E-mail : ichip.help@sii.co.jp

The S7601A TCP/IP Network Stack LSI is based upon iReady's Internet Tuner® technology.
The URL for iReady's Web site is,
<http://www.iready.com>

- 本資料の内容は、製品の改良に伴い、予告なく変更することがあります。
- 本資料に記載されている図面等の第三者の工業所有権に起因する諸問題については弊社はその責任を負いかねます。
- 本資料に記載されている製品が、外国為替及び外国貿易法に定める規制貨物（又は役務）該当する場合は、同法に基づく日本国政府の輸出許可が必要です。
- 本資料の内容を弊社に断ることなしに、記載または、複製など他の目的に使用することを固くお断りします。
- 本資料に記載されている製品は、弊社の書面による許可なくしては、健康機器、医療機器、防災機器、ガス関連機器、車両機器、航空機器及び車載機器等、人体に影響を及ぼす機器または装置の部品として使用することはできません。

