

ダイアルアップTCP/IP プロトコルスタック LSI

S7601A

セイコーインスツルメンツ株式会社（SII）のS-7601Aは、CMOS技術により設計された低消費電力ダイアルアップTCP/IP プロトコルスタックです。このTCP/IPネットワークアクセラレータTCP/IPを使用することにより、インターネットやTCP/IPネットワークへの接続が簡単になります。

また、S7601Aは、TCP/IP、PPP、UDPのプロトコルと12kのSRAMを内蔵し、高速ビットレートでも低消費電力でネットワーク接続に必要な機能を実現しています。

遠隔監視やモニタ、携帯電子メール、インターネットからのダウンロードやネットワークアクセスに必要なインターネットアクセス機能を汎用マイクロコントローラに実装することができます。

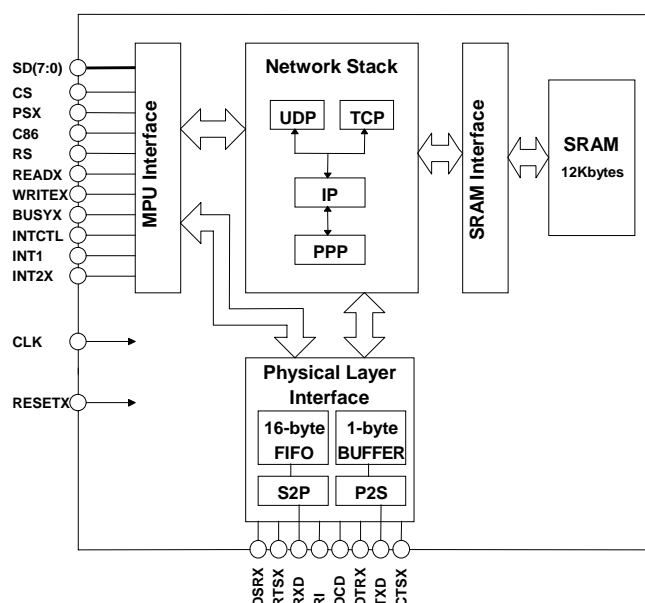
S-7601AはS-7600A TCP/IPプロトコルスタックを機能拡張および性能を向上した製品です。また、S-7600Aとレジスタセットレベル・コンパチブルモードをサポートするため、既存のS-7600Aのソフトウェア資産を有効に活用することができます。

この製品は、iReady社のInternet Tuner® 技術を使用しています。

■ 特長

- TCP/IP(ver.4) / UDP/ PPP(STD-51-準拠) ハードウェアプロトコルスタック
 - 2 汎用ソケット内蔵 送信1kbytes、受信2kbytes
 - 68k/x80(Motorola/Intel) CPU バスインターフェイス
 または2モード(SIIシリアル/SPI)の同期式シリアルインタフェース
 - UART インターフェイス
 - 低動作クロック周波数 ビットレート × 4倍
 - 低消費電力
-
- | | |
|------------------|------------------|
| データ転送時 | 0.9mA typ. |
| データ非転送時 | 160 μ A typ |
| 待機状態 | 1.0 μ A typ. |
| リセット信号により保持されます。 | |
| 待機状態モード | 2.4~3.6V |
| 動作電圧範囲 | -40~+85°C |
| 広動作電圧範囲 | |

■ ブロック図

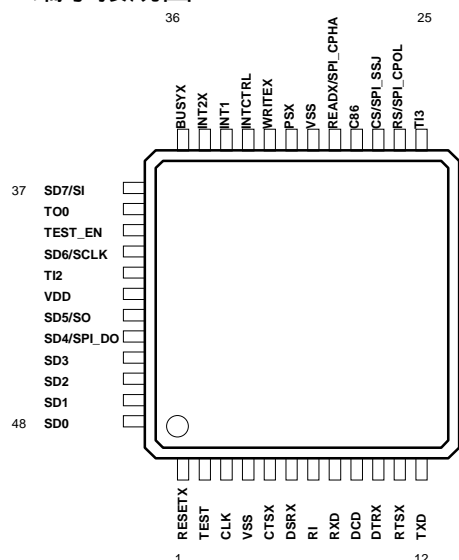


■ S-7600Aからの拡張と相違点

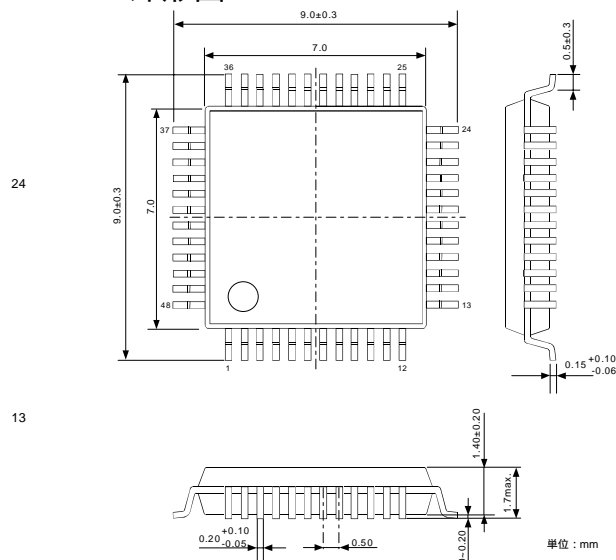
S7601Aは、iReady社® Internet Tuner® NS1.5を採用し、S7600A TCP/IP プロトコルスタックの性能の向上と機能拡張がはかられています。また、NS1.5レジスタマップと同時にS7600Aとコンパチブル(NS1.0)・レジスタもサポート(一部**レジスタが拡張**)されていますので、従来のS7600Aとしてのソフトウェア資産を有効活用することもできます。

- ・ 機能拡張
 - 自動IP割り付け機能
 - CHAP(Challenge Handshake Authentication Protocol)サポート機能
 - DCD (Data Carrier Detect)による割り込み発生
- ・ パフォーマンス拡張
 - Round Trip Timer (RTT)
 - Delayed ACK
 - バッファサイズの拡大 IPバッファ2k、PPPバッファ2k
- ・ 2モードのレジスタマップ
 - 汎用コントロールレジスタ(0x01)の*New_Reg*ビットで選択
 - デフォルトはS-7600Aコンパチブル(NS1.0) レジスタマップ
- ・ CPUインターフェイスにSPIシリアルインターフェイスを追加
 - PSX端子をLow、C86端子をHighとすることでSPIを選択
 - (S7600Aでシリアル選択の場合、C86端子のLow設定をご確認のうえご使用ください)
- ・ 5V動作CPU直接インターフェイス
- ・ x80, 68kCPUインターフェイスタイミングの改良によりインターフェイスが容易になりました。
 - ビジー信号パルス幅
 - データホールド時間
 - イネーブル/制御パルス幅
- ・ NCピン(#38)をテスト出力端子として使用(NCとしてOPENでご使用ください)

■ 端子接續図



■ 外形図



■ 用語の定義

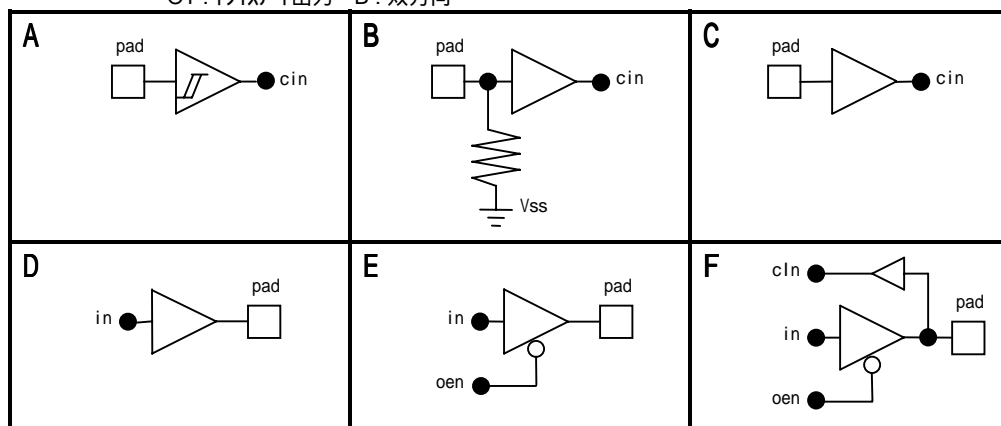
- | | |
|---|------------------------|
| IP (Internet Protocol) | インターネットプロトコル |
| PPP (Point-to-Point Protocol) | ポイントツーポイントプロトコル |
| TCP (Transmission Control Protocol) | トランスミッションコントロールプロトコル |
| UDP (User Datagram Protocol) | ユーザデータグラムプロトコル |
| API (Application Programming Interface) | アプリケーションプログラミングインタフェース |

端子説明

端子および信号の機能説明を示します。

端子説明	I/O	機能説明	タイプ
VDD1, VDD2	-	正電源端子	
VSS1, VSS2	-	GND端子	
RESETX	I	リセット端子	A
TEST, TEST_EN TI2 to TI7	I	テスト入力端子 (プルアップ抵抗内蔵) 通常はVssに接続するかオープン	B
T00	*OT	テスト出力端子 通常はオープン	E
T01 to T07	O	テスト出力端子 通常はオープン	D
CLK	I	クロック信号入力端子	C
CTS _X	I	送信クリア信号入力端子	C
DSRX _X	I	データレディ信号入力端子	C
RI _X	I	リングインデータ信号入力端子	C
RXD _X	I	シリアル受信データ入力端子	C
DCD _X	I	データキャリア検出入力端子	C
DTRX _X	O	データレディ信号出力端子	D
RTSX _X	O	送信要求出力端子	D
TXD _X	O	シリアル送信データ出力端子	D
RS/SPI_CPOL	I	レジスタ選択入力端子/SPI CPOL入力端子	C
CS/SPI_SSJ	I	チップ選択端子/SPI Slave Select入力端子	C
C86	I	MPUインターフェイス選択端子 68kモード: 1 x80kモード: 0 SPIモード: 1 SIIシリアルモード: 0	C
READX/SPI_CPHA	I	x80kモード: 読み出し要求入力端子 68kモード: 入力トリプル端子 SPIモード: SPI CPHA入力端子	C
PSX _X	I	パラレル/シリアルインターフェイス選択入力端子	C
WRITEX _X	I	x80kモード: 書き込み要求入力端子 68kモード: 読み出し/書き込み選択入力端子 SIIシリアルモード: 読み出し/書き込み選択入力端子	C
INTCTRL	I	INT1/INT2X出力形態 (CMOS/OD) 選択入力端子	C
INT1	*OT	S-7601AからMPUへの割込信号 (active High) 出力端子	E
INT2X	*OT	S-7601AからMPUへの割込信号 (active Low) 出力端子	E
BUSYX	O	ビジー信号出力端子	D
SD7/SI	*B	x80/68kモード: データバス SII/SPIシリアルモード: シリアルデータ入力端子	F
SD6/SCLK	*B	x80/68kモード: データバス SII/SPIシリアルモード: シリアルクロック入力端子	F
SD5/SO	*B	x80/68kモード: データバス SII/SPIシリアルモード: シリアルデータ出力端子	F
SD4/SPI_D0	*B	x80/68kモード: データバス SPIモード: SPI Data Order	F
SD0 to SD3	*B	データバス	F

*OT: トライステート出力 *B: 双方向



絶対最大定格

項目	記号	条件	定格	単位
保存温度	T_{sta}		-40 to +125	°C
動作温度	T_{opr}		-40 to +85	°C
動作電圧	V_{DD}	$T_a=25^{\circ}\text{C}$	-0.3 to 4.0	V
入力電圧	V_{IN}	$T_a=25^{\circ}\text{C}$	VSS-0.3 to 5.5	V
出力電圧	V_{OUT}	$T_a=25^{\circ}\text{C}$	VSS to VDD	V

推奨動作条件

項目	記号	条件	最小	標準	最大	単位	備考
動作周波数範囲	F_{OPR}	$T_a=-40$ to $+85^{\circ}\text{C}$	-	0.256	8	MHz	1
クロックパルス幅	P_W	$T_a=-40$ to $+85^{\circ}\text{C}$	60	-	-	nS	
動作電圧範囲	V_{DD}	$T_a=-40$ to $+85^{\circ}\text{C}$	2.4	-	3.6	V	
入力電圧	V_{IN}	$T_a=-40$ to $+85^{\circ}\text{C}$	0	-	5.0	V	

注1：入力クロックはホーレートの4倍以上の周波数が必要です。

(整数倍からの許容公差 $< \pm 2\%$)

消費電流

特記無き場合： $V_{DD} = 3.0\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $T_a = 25^{\circ}\text{C}$

項目	記号	条件	最小	標準	最大	単位
通信時動作消費電流	I_{DD1}	$T_a=-40$ to $+85^{\circ}\text{C}$ $F_{OPR}=256\text{kHz}$	-	0.9	2.2	mA
非通信時動作消費電流	I_{DD2}	$T_a=-40$ to $+85^{\circ}\text{C}$ $F_{OPR}=256\text{kHz}$ $\text{RESETX}=V_{SS}$	-	160	320	μA
スタンバイ時消費電流	I_S	$T_a=-40$ to $+85^{\circ}\text{C}$	-	1.0	40.0-	μA

MPUインタフェース

S-7601Aは4つのMPUインタフェース（2パラレルモードと2シリアルモード）をサポートしています。パラレルインタフェースモードには、x80ファミリーMPUまたは68kファミリーMPUとのインタフェースがあります。シリアルインターフェイスモードにはS-7600Aと同様のSIIシリアルとSPIシリアルがあります。

PSX	C86	Interface
0	0	SII Serial
0	1	SPI Serial
1	0	x80 Parallel
1	1	68K Parallel

インタフェース選択表

パラレルインタフェース

PSXを「H」にしてパラレルインタフェースを選択します。パラレルインタフェースモードでは、S-7601Aはx80ファミリーMPUまたは68kファミリーMPUとインタフェースが可能です。所望のMPUモードは、C86ピンを「H」または「L」に設定して選択できます。

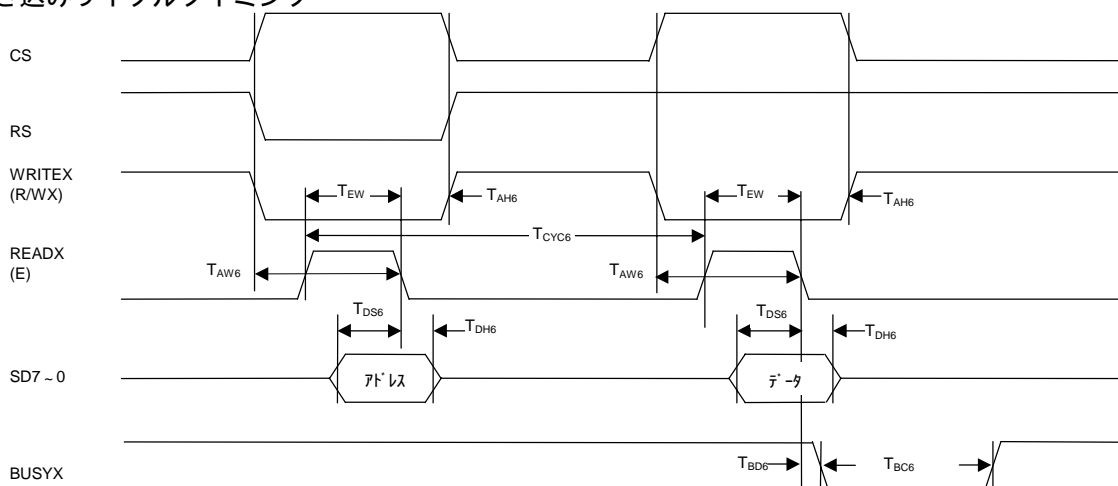
	68kファミリーCPU R/WX	x86ファミリーCPU		機能
		READX	WRITEX	
1	1	0	1	レジスタ読み出し
1	0	1	0	レジスタ書きこみ
0	1	0	1	アドレス読み出し
0	0	1	0	アドレス書きこみ

MPUと端子間の接続関係

68kファミリ-MPUモード

68kファミリ-MPUモードは、**C86**入力端子を「H」、**PSX**入力端子を「H」にして選択できます。**WRITEX**信号がリード/ライト (R/WX) 信号、**READX**信号がイネーブル (E) 信号に相当します。アドレスとデータは同じ8ビットのデータバスを共有します。**RS**信号によって、アドレスとデータのどちらのアクセスかを切り替えます。書き込みサイクルは、アドレスのライト、レジスタのライトでワンサイクルとします。読み出しサイクルは、アドレスのライト、アドレスのリード、レジスタのリードでワンサイクルとします。S-7601Aがビジー状態の時は、**BUSYX**信号が「L」になります。ビジー状態の時は、MPUはリード/ライトを行ってはいけません。リード/ライトを行う前に、**BUSYX**信号をサンプリングして下さい。**BUSYX**信号が「H」ならば、リード/ライトを行えます。

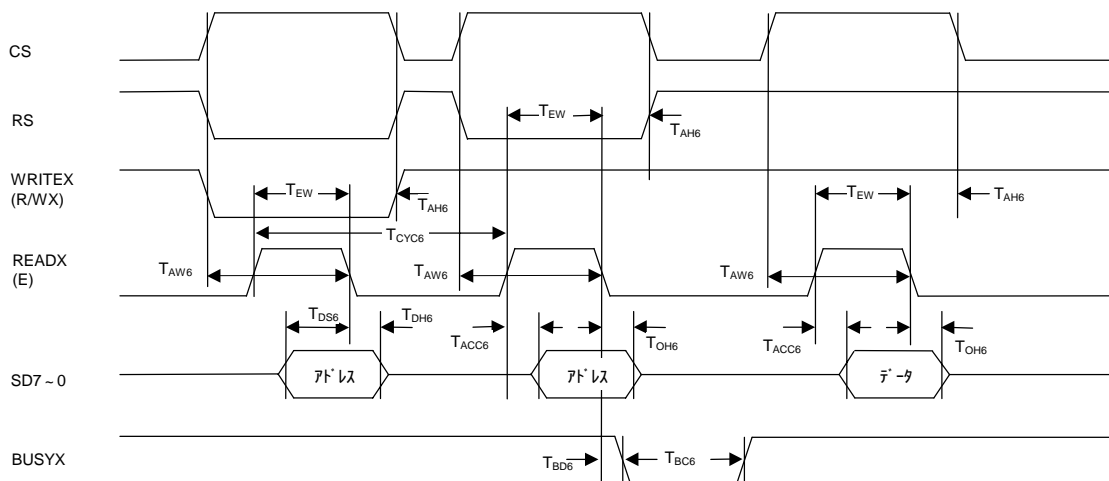
書き込みサイクルタイミング



記号	項目	最小	最大	注
T_{CYC6}	システムサイクル時間	100ns	-	
T_{AH6}	アドレスホールド時間	0ns	-	
T_{AW6}	アドレスセットアップ時間	20ns	-	
T_{DS6}	データセットアップ時間	20ns	-	
T_{DH6}	データホールド時間	0ns	-	
T_{EW}	イネーブルパルス幅	40ns	-	
T_{BD6}	BUSYX信号出力遅延時間	-	30ns	CL = 80pF
T_{BC6}	BUSYX信号パルス幅	2CLK	-	

- 注：
- CLK は S-7601A のクロック信号です。
 - タイミングは信号波形の 50% で規定。
 - 入力信号の立ち上り/立下り時間 (20%、80%) は、15nsec 以下。

読み出しサイクルタイミング



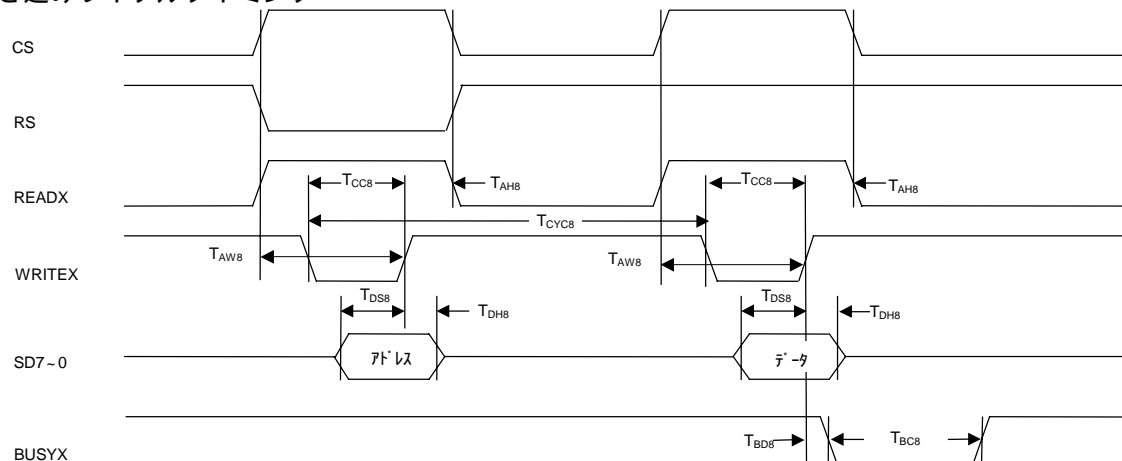
記号	項目	最小	最大	注
T_{CYC6}	システムサイクル時間	100ns	-	
T_{AH6}	アドレスホールド時間	0ns	-	
T_{AW6}	アドレスセットアップ時間	20ns	-	
T_{DS6}	データセットアップ時間	20ns	-	
T_{DH6}	データホールド時間	0ns	-	
T_{ACC6}	アクセス時間	-	30ns	CL = 80pF
T_{OH6}	出力デイスエーブル時間	20ns	-	CL = 80pF
T_{EW}	イーブルパルス幅	40ns	-	
T_{BD6}	BUSYX信号出力遅延時間	-	30ns	CL = 80pF
T_{BC6}	BUSYX信号パルス幅	2CLK	-	

- 注：
- CLKはS-7601Aのクロック信号です。
 - タイミングは信号波形の50%の位置で指定されます。
 - 入力信号の立上り/立下り時間（20%、80%）は、15nsec以下。
 - T_{AW6} はREADXの立下りエッジに対する、CS、RS、WRITEXのセットアップ時間です。
 - T_{AH6} はREADXの立下りエッジに対する、CS、RS、WRITEXのホールド時間です。

x80ファミリーMPUモード

x80ファミリーMPUモードは、C86端子を「L」、PSX端子を「H」にして選択します。アドレスとデータは同じ8ビットのデータバスを共有します。RS信号によって、アドレスとデータのどちらのアクセスかを切り替えます。書き込みサイクルは、アドレスのライト、レジスタのライトでワンサイクルとします。読み出しサイクルは、アドレスのライト、アドレスのリード、レジスタのリードでワンサイクルとします。S-7601Aがビジー状態の時は、BUSYX信号が「L」になります。ビジー状態の時は、MPUはリード/ライトを行ってはいけません。リード/ライトを行う前に、BUSYX信号をサンプリングして下さい。BUSYX信号が「H」ならば、リード/ライトを行えます。

書き込みサイクルタイミング

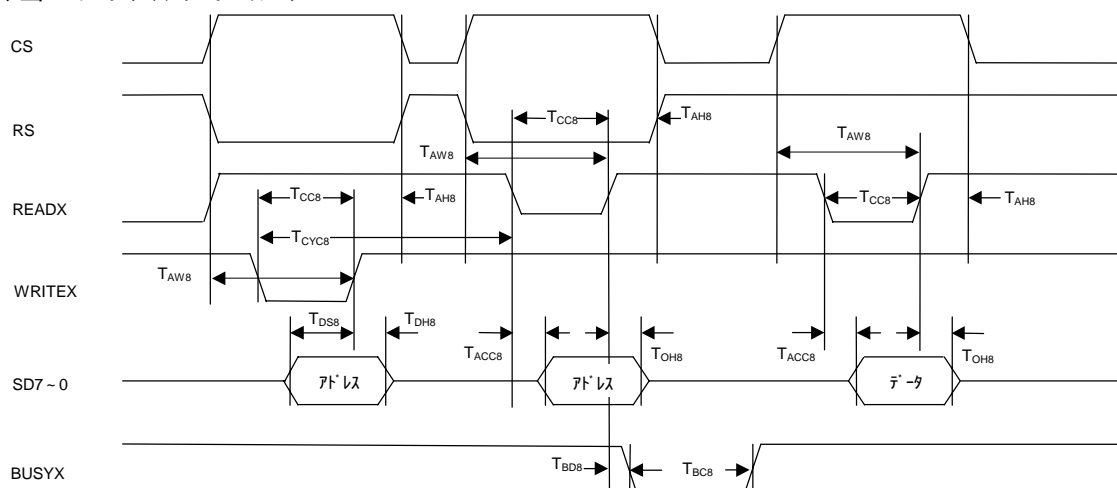


x80ファミリーMPU書き込みサイクルタイミング

記号	項目	最小	最大	注
T_{CYC8}	システムサイクル時間	100ns	-	
T_{AH8}	アドレスホールド時間	0ns	-	
T_{AW8}	アドレスセットアップ時間	20ns	-	
T_{DS8}	データセットアップ時間	20ns	-	
T_{DH8}	データホールド時間	0ns	-	
T_{CC8}	制御パルス幅	40ns	-	
T_{BD8}	BUSYX信号出力遅延時間	-	30ns	CL = 80pF
T_{BC8}	BUSYX信号パルス幅	2CLK	-	

- 注：
- CLKはS-7601Aのクロック信号です。
 - タイミングは信号波形の50%の位置で規定。
 - 入力信号の立上り/立下り時間（20%、80%）は、15nsec以下。

読み出しサイクルタイミング



x80ファミリーMPU読み出しサイクルタイミング

記号	項目	最小	最大	注
T_{CYC8}	システムサイクル時間	100ns	-	
T_{AH8}	アドレスホールド時間	0ns	-	
T_{AW8}	アドレスセットアップ時間	20ns	-	
T_{DS8}	データセットアップ時間	20ns	-	
T_{DH8}	データホールド時間	0ns	-	
T_{ACC8}	アクセス時間	-	30ns	CL = 80pF
T_{OH8}	出力デイスエーブル時間	20ns	-	CL = 80pF
T_{CC8}	制御パルス幅	40ns	-	
T_{BD8}	BUSYX信号出力遅延時間	-	30ns	CL = 80pF
T_{BC8}	BUSYX信号パルス幅	2CLK	-	

- 注：
- CLKはS-7601Aのクロック信号です。
 - タイミングは信号波形の50%の位置で規定。
 - 入力信号の立上り/立下り時間（20%、80%）は、15nsec以下。
 - TAW8はライト時のWRITEXの立上りエッジに対する、CS、RS、READXのセットアップ時間です。
 - TAH8はライト時のWRITEXの立上りエッジに対する、CS、RS、READXのホールド時間です。
 - TAW8はリード時のREADXの立上りエッジに対する、CS、RS、WRITEXのセットアップ時間です。
 - TAH8はリード時のREADXの立上りエッジに対する、CS、RS、WRITEXのホールド時間です。

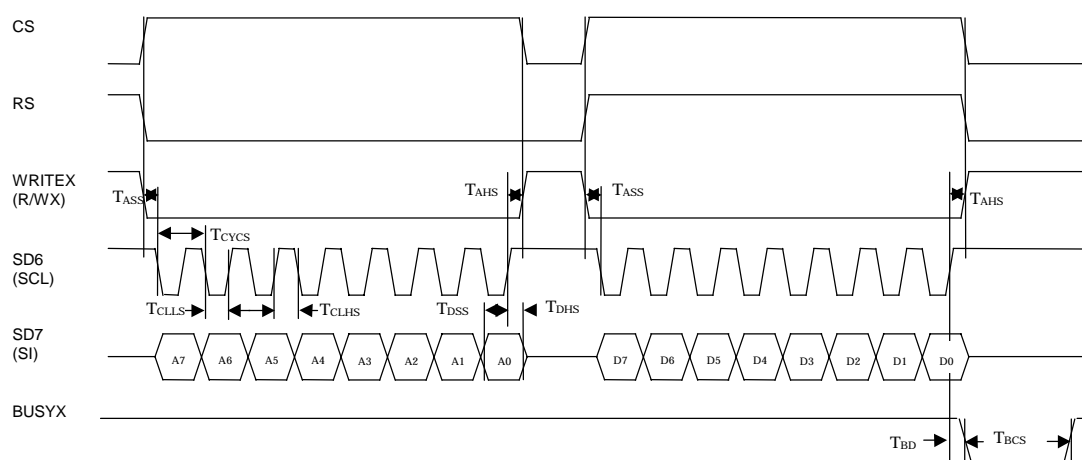
シリアルインタフェース

シリアルインタフェースモードは、PSX端子を「L」にして選択します。シリアルインターフェイスモードでは、S-7600Aと同様のSIIシリアルとSPIシリアルの選択が可能です。C86端子を「L」に設定するとSIIシリアル、「H」に設定するとSPIシリアルが選択できます。

SIIシリアルインターフェイス

このモードにおいては、データバスのビット6はシリアルクロックとして、ビット7はデータ入力、ビット5はデータ出力として使用されます。0から4までのビットは、ハイインピーダンスです。WRITEX信号によって、リード/ライトを切り替えます。RS信号によって、アドレスとデータのどちらのアクセスかを切り替えます。書き込みサイクルは、アドレスのライト、レジスタのライトでワンサイクルとします。読み出しサイクルは、アドレスのライト、アドレスのリード、レジスタのリードでワンサイクルとします。S-7601Aがビジー状態の時は、BUSYX信号が「L」になります。ビジー状態の時は、MPUはリード/ライトを行ってはいけません。リード/ライトを行う前に、BUSYX信号をサンプリングして下さい。BUSYX信号が「H」ならば、リード/ライトを行えます。

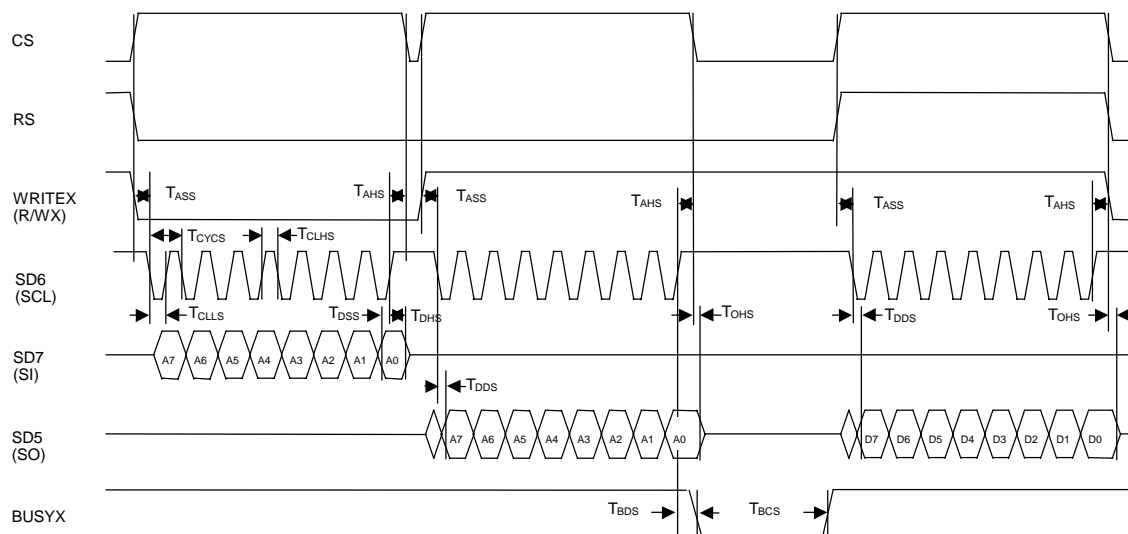
書き込みサイクルタイミング



シリアルインタフェース書き込みタイミング

記号	項目	最小	最大	注
T_{CVCS}	システムサイクル時間	100ns	-	
T_{CLLS}	クロック“L”時間	40ns	-	
T_{CLHS}	クロック“H”時間	40ns	-	
T_{ASS}	アドレスセットアップ時間	20ns	-	
T_{AHS}	アドレスホールド時間	20ns	-	
T_{DSS}	データセットアップ時間	20ns	-	
T_{DHS}	データホールド時間	20ns	-	
T_{BDS}	BUSYX信号出力遅延時間	-	30ns	CL = 80pF
T_{BCS}	BUSYX信号パルス幅	2CLK	-	

- 注：
- CLKはS-7601Aのクロック信号です。
 - タイミングは信号波形の50%の位置で規定。
 - 入力信号の立上り/立下り時間（20%、80%）は、15nsec以下。



シリアルインタフェース読み出しタイミング

記号	項目	最小	最大	注
T _{CYCS}	システムサイクル時間	100ns	-	
T _{CLLS}	クロック“L”時間	40ns	-	
T _{CLHS}	クロック“H”時間	40ns	-	
T _{ASS}	アドレスセットアップ時間	20ns	-	
T _{AHS}	アドレスホールド時間	20ns	-	
T _{DSS}	データセットアップ時間	20ns	-	
T _{DHS}	データホールド時間	20ns	-	
T _{DDS}	データ出力信号遅延時間	-	30ns	CL = 80pF
T _{DHS}	信号出力デイスエーブル時間	-	20ns	CL = 80pF
T _{BDS}	BUSYX信号出力遅延時間	-	30ns	CL = 80pF
T _{BCS}	BUSYX信号パルス幅	2CLK	-	

注： ● CLKはS-7601Aのクロック信号です。
● タイミングは信号波形の50%の位置で規定。
● 入力信号の立上り/立下り時間（20%、80%）は、15nsec以下。
● TASSはSD6の立下りエッジに対する、CS、RS、WRITEXのセットアップ時間です。
● TAHSはSD6の立上りエッジに対する、CS、RS、WRITEXのホールド時間です。

SPIシリアルインターフェイス

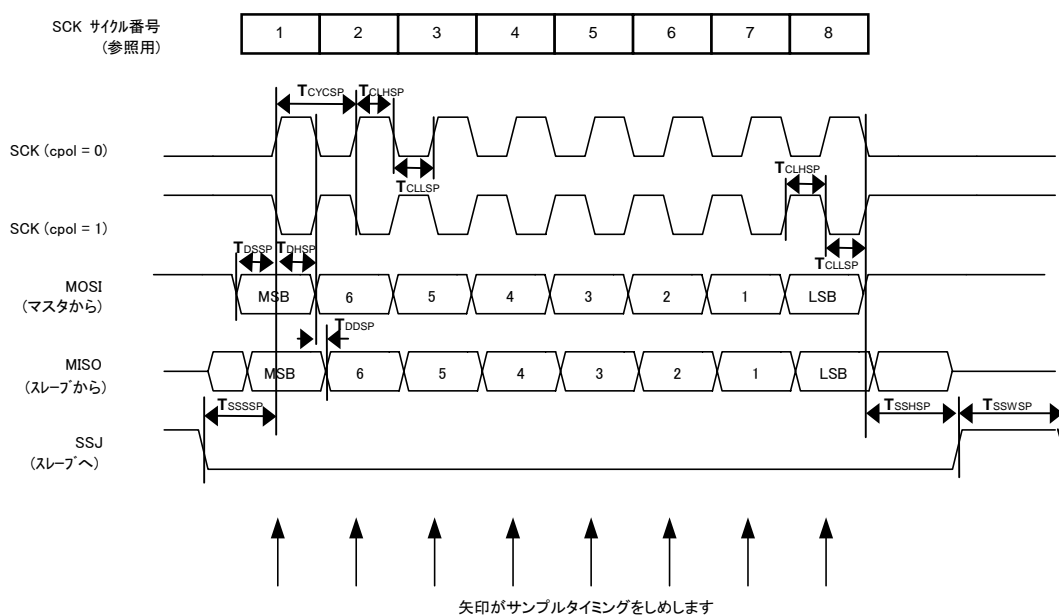
SPI(Serial Peripheral Interface)は、多くの8ビットMPUや8ビット市場向け周辺機器で一般的に使用されている高速3線シリアルバスです。このシリアルインタフェースは、PSX端子を「L」に、またC86端子を「H」にして選択します。

このモードでは、SD[6]はシリアルクロック(SCK)、SD[7]はシリアル入力データ(MOSI)、SD[5]はシリアル出力データ(MISO)、CSはスレーブ選択(SSJ)として使用されます。SPIデバイスはマスタかスレーブです。S-7601Aは常にSPIスレーブデバイスとして機能します。マスタデバイスが常にクロックを提供します。クロックは、DCから4MHzとすることができます。S-7601Aのクロック周波数はSCK周波数の2倍以上とする必要があります。

MOSIはMaster Out/Slave Inを、またMISOはMaster In/Slave Outを意味します。

SPIクロックフォーマット

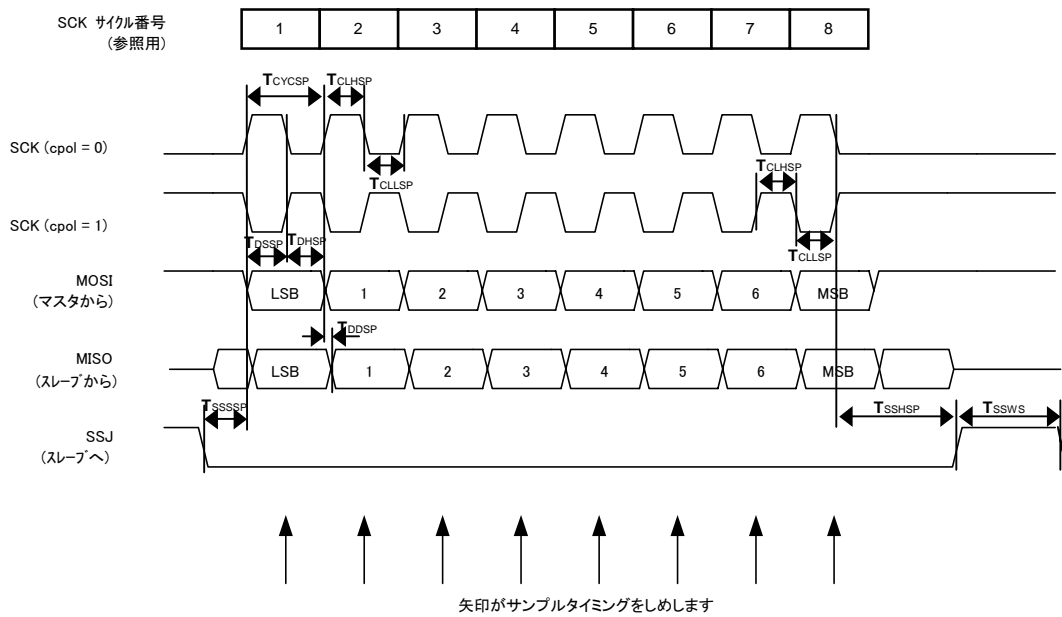
クロックフォーマットとビットフォーマットが選択可能です。以下に、クロック極性と位相が異なる場合のバイト波形を示します。クロック極性(cpol)はRS信号で制御され、クロック位相(cpha)はREADX信号で制御されます。またデータの順番はSD[4]入力信号("0"でMSBが先)で制御されます。S-7601Aは、これら4つのクロックフォーマットをすべてサポートしています。



SPIシリアルインターフェイス書き込み/読み出しタイミング (cpha = 0, data order = 0)

記号	項目	最小	最大	注
T_{CYCSP}	システムサイクル時間	250ns	-	
T_{CLLSP}	クロック“L”時間	40ns	-	
T_{CLHSP}	クロック“H”時間	40ns	-	
T_{DSSP}	データセットアップ時間	20ns	-	
T_{DHSP}	データホールド時間	20ns	-	
T_{DDSP}	データ出力信号遅延時間	-	30ns	CL=80pF
T_{SSSP}	SSJセットアップ時間	2CLK	-	
T_{SSHSP}	SSJホールド時間	3CLK	-	
T_{SSWSP}	SSJデisable時間	2CLK	-	

- 注：
- CLK (S-7601Aのクロック信号) の周波数はSCKの周波数の2倍以上です。
 - タイミングは信号波形の50%の位置で規定。
 - 入力信号の立上り/立下り時間(20%、80%)は、15nsec以下。



SPIシリアルインターフェイス書き込み/読み出し タイミング (cpha = 1, data order = 1)

記号	項目	最小	最大	注
T_{CYCS}	システムサイクル時間	250ns	-	
T_{CLLS}	クロック "L" 時間	40ns	-	
T_{CLHS}	クロック "H" 時間	40ns	-	
T_{DSS}	データセットアップ時間	20ns	-	
T_{DHS}	データホールド時間	20ns	-	
T_{DDSP}	データ出力信号遅延時間	-	30ns	CL=80pF
T_{SSSP}	SSJセットアップ時間	2CLK	-	
T_{SSHSP}	SSJホールド時間	3CLK	-	
T_{SSWSP}	SSJデレーブル時間	2CLK	-	

- 注：
- CLK (S-7601Aのクロック信号) の周波数はSCKの周波数の2倍以上です。
 - タイミングは信号波形の50%の位置で規定。
 - 入力信号の立上り/立下り時間 (20%、80%) は、15nsec以下。

割り込み

割り込みフラグがS-7601Aの割り込みレジスタにセットされている間、割り込み信号はアクティブレベルを出力します。もしフラグがクリアされれば、割り込み信号はインアクティブレベルに戻ります。INT1とINT2Xは、INTCTLの設定によりオープンドレインまたはCMOS出力になります。もしINTCTLが「H」であるならば、INT1とINT2Xの出力はCMOSで、「L」ならばオープンドレイン出力です。

割り込みフラグ	INTCTL	INT1	INT2X
セット	H	H	L
セット	L	H	L
リセット	H	L	H
リセット	L	Hi-Z	Hi-Z

割り込み選択表

S-7601Aレジスタ概要

ここでは、S-7601AのiAPIレジスタについて説明します。レジスタアドレスマッピングは、S-7600Aコンパチブルレジスタと拡張レジスタの2つのモードがあります。汎用コントロールレジスタ (General_Control) の New_Reg_Mode ビットを介してモードの選択が行われます。この汎用コントロールレジスタは、両方のモードでアドレス(アドレス0x01)にマッピングされています。デフォルトでは、S-7601Aはリセット後S-7600Aコンパチブルマッピング(New_Reg_Mode=0)になります。どちらのモードのマッピングでも、iAPIレジスタはダイレクトレジスタとインデックスレジスタの2種類に分類されます。ダイレクトレジスタはいつでもアクセスすることができます。一方、インデックスレジスタでは、アクセスの前にマスタインデックスレジスタ(どちらのレジスタマッピングでも0x20)が正しくインデックスに設定されていなければなりません。

S-7600Aコンパチブル iAPI Register Map

以下の表に、S-7601AのS7600Aコンパチブルレジスタマップを示します。表に規定されていないすべてのレジスタは、予約されていますのでアクセスしないでください。

S-7600Aコンパチブル iAPIレジスタマップ

アドレス	レジスタ名	ビット定義							
0x00	レビジョンレジスタ Revision	上位レビジョン番号				下位レビジョン番号			
0x01	汎用コントロールレジスタ General_Control	-	-	-	-	-	NewReg	-	SW_RST
0x02	汎用ソケットレジスタ General_Socket_Location	-	-	-	-	-	-	S1	S0
0x04	マスタ割り込みレジスタ Master_Interrupt	-	-	-	-	-	PT_INT	LINK_INT	SOCK_INT
0x08	シリアルポートコンフィグレジスタ Serial_Port_Config	S_DAV	DCD	DSR/HWFC	CTS	RI	DTR	RTS	SCTL
0x09	シリアルポート割り込みレジスタ Serial_Port_Int	PT_INT	-	-	-	-	-	-	-
0x0A	シリアルポート割り込みレジスタマスク Serial_Port_Int_Mask	PINT_EN	DSINT_EN	DVINT_EN	-	-	-	-	-
0x0B	シリアルポートデータレジスタ Serial_Port_Data	シリアルポートレジスタ							
0x0C - 0x0D	ボーレートディバイダレジスタ BAUD_Rate_Div	ボーレートディバイダレジスタ							
0x10 - 0x13	自己IPアドレスレジスタ Our_IP_Address	自己IPアドレス							
0x1C	クロック分周下位レジスタ Clock_Div_Low	1KHZクロック分周の下位ビット							
0x1D	クロック分周上位レジスタ Clock_Div_High	1KHZクロック分周の上位ビット							
0x20	インデックスレジスタ Index	ソケットインデックス 0							
0x21	TOS*レジスタ TOS*	サービスタイプフィールド							
0x22	ソケットレジスタ コンフィグステータス下位レジスタ* Socket_Config_Status_Low*	TO	Buff_Empty	Buff_Full	Data_Avail/RST	-	Protocol_Type		
0x23	ソケットステータス中間レジスタ* Socket_Status_Mid*	URG	RST	Term	ConU	TCP状態			

注： 1) 予約されているビットをダッシュ(-)で示しています。予約されているすべてのビットには“0”が書き込まれなければなりません。
2) インデックスレジスタはアスタリスク(*)で示しています。

S-7600Aコンパチブル iAPIレジスタマップ (続)

アドレス	レジスタ名	ビット定義							
0x24	ソケットアクティブ化レジスタ Socket_Activate	-	-	-	-	-	-	S1	S0
0x26	ソケット割り込みレジスタ Socket_Interrupt	-	-	-	-	-	-	I1	I0
0x28	ソケットデータ有効レジスタ Socket_Data_Avail	-	-	-	-	-	-	DAV1	DAV0
0x2A	ソケット割り込みマスク下位レジスタ* Socket_Interrupt_Mask_Low*	TO_En	Buff_Emp_En	Buff_Full	Data_Avail_En	-	-	-	-
0x2B	ソケット割り込みマスク上位レジスタ* Socket_Interrupt_Mask_High*	URG_En	RST_En	Term_En	ConU_En	-	-	-	-
0x2C	ソケット割り込み下位レジスタ* Socket_Interrupt_Low*	TO	Buff_Empty	Buff_Full	Data_Avail	-	-	-	-
0x2D	ソケット割り込み上位レジスタ* Socket_Interrupt_High*	URG	RST	Term	ConU	-	-	-	-
0x2E	ソケットデータレジスタ* Socket_Data*	ソケット8ビットデータ							
0x30	TCPデータ送信 (W0) レジスタ* TCP_Data_Send (W0) *	任意の書き込みでデータを送信します。							
0x30 - 0x31	バッファ出力 (R0) レジスタ* Buffer_Out (R0) *	バッファ出力長							
0x32 - 0x33	バッファ入力 (R0) レジスタ* Buffer_In (R0) *	バッファ入力長							
0x34 - 0x35	緊急データポインタレジスタ* Urgent_Data_Pointer*	緊急データオフセットポインタ							
0x36 - 0x37	相手先ポートレジスタ* Their_Port*	相手先のポートアドレス							
0x38 - 0x39	自己ポートレジスタ* Our_Port*	自己ポートアドレス							
0x3A	ソケットステータス上位レジスタ* Socket_Status_High*	-	-	-	-	-	-	-	Snd_bsy
0x3C - 0x3F	相手先IPアドレスレジスタ* Their_IP_Address*	相手先IPアドレス							
0x60	PPPコントロールステータスレジスタ PPP_Control_Status	PPP_Int	Con_Val	Use_PAP	To_Dis	PPP_Int_En	Kick	PPP_En	PPP_Up/ SRset
0x61	PPP割り込みコードレジスタ PPP_Interrupt_Code	割り込みコード							
0x62	PPP最大リトライレジスタ PPP_Max_Retry	-				PPP最大リトライ			
0x64	PPPストリングレジスタ PPP_String	PAPユーザ名とパスワード							

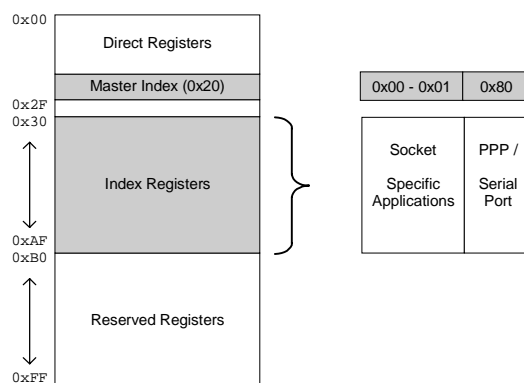
注 : 1) 予約されているビットをダッシュ (-) で示しています。予約されているすべてのビットには " 0 " が書き込まれなければならない。

2) インデックスレジスタはアスタリスク (*) で示しています。

拡張iAPIレジスタマップ

拡張iAPIレジスタマップは、ダイレクトレジスタとインデックスレジスタの2種類に分類されます。ダイレクトレジスタは、0x00から0x2Fまでのアドレス空間を占めます。ダイレクトレジスタは、マスタインデックスレジスタを設定せずにアクセスすることができます。インデックスレジスタは、0x30から0xAFまでのアドレス空間を占めます。インデックスレジスタにアクセスする前に、マスタインデックスレジスタが0x00(ソケット0の場合)か0x01(ソケット1の場合)あるいは、0x80(PPP/シリアルポートの場合)のインデックスで設定されている必要があります。

S7601A拡張レジスタ (トップレベル)



以下の表にS-7601Aの拡張iAPIレジスタマップを示します。リストしていないレジスタは予約済みですので、アクセスすることはできません。

拡張iAPIレジスタマップ (ダイレクト)

アドレス	レジスタ名	ビット定義							
		上位レビジョン番号(0x2)				下位レビジョン番号(0x2)			
0x00	レビジョンレジスタ Revision								
0x01	汎用コントロールレジスタ General_Control	-	-	-	-	-	New_Reg	-	SW_Rst
0x02	汎用ソケットレジスタ General_Socket_Location	-	-	-	-	-	-	S1	S0
0x04	マスタ割り込みレジスタ Master_Interrupt	-	-	-	-	-	PT_Int	Link_Int	Sock_Int
0x1C	クロック分周下位レジスタ Clock_Div_Low	1KHz加7分周の下位8ビット							
0x1D	クロック分周上位レジスタ Clock_Div_High	1KHz加7分周の上位8ビット							
0x20	マスタインデックスレジスタ Master_Index	アクセスするレジスタのインデックス値							
0x24	ソケットアクティブレジスタ Socket_Activate	ソケットをアクティブにします。						S1	S0
0x26	ソケット割り込みレジスタ Socket_Interrupt	ソケット割り込みステータス						I1	I0
0x28	ソケットデータ有効レジスタ Socket_Data_Avail	ソケットデータ有効						DAV1	DAV0
0x30-0xAF	インデックスレジスタ Indexed	インデックスレジスタ							
0xB0-0xFF	予約済みレジスタ Reserved	予約済みレジスタ							

注：予約済みビットはダッシュ(-)で示します。予約済みの全てのビットには"0"が書込れなければなりません。

汎用ソケットは、下表のレジスタを使用します。これらのレジスタにアクセスする前に、マスタインデックスレジスタを0x00(ソケット0の場合)か0x01(ソケット1の場合)でプログラムしなければなりません。

汎用ソケットで使用するインデックスレジスタ

iAPI	レジスタ名	レジスタ定義							
0x30	ソケットアプリケーションIDレジスタ Socket_App_ID	アプリケーションID(0x10)							
0x31	ソケットバージョンレジスタ Socket_Revision	バージョン(0x27)							
0x32	ソケットコンフィグレーションレジスタ Socket_Config	-	-	-	-	-	Type		
0x34	ソケットステータス0レジスタ Socket_Stat_0	T0	Snd_Emp	-	Rcv_Dav	-	-	-	-
0x35	ソケットステータス1レジスタ Socket_Stat_1	Urg	Rcv_Rst	Rcv_Fin	Con_Up	-	-	-	-
0x36	ソケット割り込みイネーブル0レジスタ Socket_Int_En_0	T0_En	Snd_EmpEn	-	Rcv_DavEn	-	-	-	-
0x37	ソケット割り込みイネーブル1レジスタ Socket_Int_En_1	Urg_En	Rcv_RstEn	Rcv_FinEn	Con_UP_En	-	-	-	-
0x38	ソケット割り込みステータス0レジスタ Socket_Int_Stat_0	T0	Snd_Emp	-	Rcv_Dav	-	-	-	-
0x39	ソケット割り込みステータス1レジスタ Socket_Int_Stat_1	Urg	Rcv_Rst	Rcv_Fin	Con_Up	-	-	-	-
0x3A	ソケットコマンドレジスタ Socket_Command	-	-	-	Sck_Clr	-	-	-	Send_Go
0x3C	ソケットデータレジスタ Socket_Data	ソケットデータ							
0x44 0x47	リモートIPアドレスレジスタ Remote_IP_Address	リモートIPアドレス							
0x48 0x49	ローカルポートレジスタ Local_Port	ローカルポート番号							
0x4A 0x4B	リモートポートレジスタ Remote_Port	リモートポート番号							
0x4C 0x4D	バッファ出力長レジスタ Buffer_Len_Out	バッファ出力長							
0x4E 0x4F	バッファ入力長レジスタ Buffer_Len_In	バッファ入力長							
0x51	遅延ACKコントロールレジスタ Delayed_ACK_Control	遅延ACK時間							
0x53	サービスタイプレジスタ TOS	サービスタイプ							
0x54 0x55	緊急ポインタレジスタ Urgent_Pointer	緊急ポインタ							
0x56 0x57	最大セグメントサイズレジスタ MSS	最大セグメントサイズ							
0x5A	ソケットステータス2レジスタ Socket_Stat_2	-	-	-	Sck_Busy	TCP状態			
0x5C 0x5D	TCPクロック分周レジスタ TCP_Clk_Divider	TCPクロック分周設定値							
0x5E	TCPクロックイネーブルレジスタ TCP_Clk_Enable	-	-	-	-	-	-	-	CLKEn

注：予約済のビットをダッシュ(-)で示します。予約済の全てのビットには"0"が書込まれなければなりません。

PPPモジュールは、表7-60のレジスタを使用します。これらのレジスタにアクセスする前に、マスタインデックスレジスタを0x80でプログラムしなければなりません。

PPPレジスタマップ

iAPI	レジスタ名	レジスタ定義									
0x30	PPPアプリケーションIDレジスタ PPP_App_ID	アプリケーションID(0x01)									
0x31	PPPバージョンIDレジスタ PPP_Revision	バージョン(0x15)									
0x32	PPPコントロール/ステータスレジスタ PPP_Ctrl_Stat	PPP_Int	Con_Val	Use_PAP	TO_Dis	PPP_Int_En	Kick	PPP_En	PPP_Up/Rst		
0x38	PPP割り込みコードレジスタ PPP_Int_Code	PPP割り込みコード									
0x3C	PPPデータレジスタ PPP_Data	PPPデータ									
0x3D	PAPストリングレジスタ PAP_String	PAPユーザ名とパスワード									
0x3E	PPP最大リトライレジスタ PPP_Max_Retry	IPAD	Use_CHAP	PPP_Buf	PAP_Rst	Max_Retry					
0x3F	CHAPコントロールステータスレジスタ CHAP_Ctrl_Stat	CHAP_Dav	CHAP_Nak	CHAP_Ack	-	Chal_Int_En	Nak_Int_En	Ack_Int_En	-		
0x40-0x43	ローカルIPアドレスレジスタ Local_IP_Addr	ローカルIPアドレス									
0x44-0x45	PPPプロトコルレジスタ PPP_Prot	送信パケット用PPPプロトコル									
0x46	CHAP IDレジスタ CHAP_ID	CHAPパケットからのコードID(0x20)									
0x48-0x4B	ピアIPアドレスレジスタ Peer_IP_Addr	ピアIPアドレス									
0x4E-0x4F	PPPデータ長レジスタ PPP_Data_Len	読み出しに利用できるPPPデータ長									
0x50	PPP状態レジスタ PPP_State	NCP状態					LCP状態				
0x52-0x53	MRUレジスタ MRU	ピアのMRU									
0x71	シリアルポートバージョンレジスタ SP_Rev	シリアルポートバージョン									
0x72	シリアルポートコンフィグレジスタ SP_Config	-	-	HWFC	CTS	-	DTR	RTS	SCTL		
0x73	シリアルポートステータスレジスタ SP_Status	Data_Av	DCD	DSR	CTS	RI	DTR	RTS	SCTL		
0x76	シリアルポート割り込みイネーブルレジスタ SP_Int_Enable	PInt_En	DSInt_En	DVInt_En	DCDInt_En	-	-	-	-		
0x78	シリアルポート割り込みレジスタ SP_Int	PInt	DSInt	DVInt	DCDInt	-	-	-	-		
0x7C	シリアルポートデータレジスタ SP_Data	シリアルポートデータ									
0x80-0x81	シリアルポート波特率分周レジスタ SP_BAUD_Rate_Div	シリアルポートの波特率									

注： 予約済のビットをダッシュ(-)で示します。予約済の全てのビットには"0"が書込まなければなりません。

データ通信

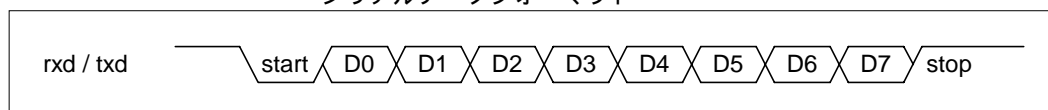
シリアルポートインターフェイス

シリアルポートは標準の8ビットシリアルデータフォーマットを使用し、16バイト受信FIFOと1バイトの送信バッファを用いています。ハードウェアフロー制御をサポートしています。ボーレートは、ボーレート分周レジスタで設定します。

データフォーマット

データフォーマットは、データビット8、スタートビット1(ロジック0)、ストップビット1(ロジック1)、パリティなしです。データはLSBを最初に送信します。

シリアルデータフォーマット



ハードウェアフロー制御

ハードウェアフロー制御が非アクティブの場合、データ送受信のフロー制御はアプリケーションに任せられます。S-7601Aにデータ送信が指示されると、CTS_{TX}信号の入力レベルによらずそのデータが送信されます。したがって、相手機器の受信バッファがオーバーフローしないようにデータ送信を指示するタイミングを管理する必要があります。SCTLビットが"0"でMPUがシリアルポートの制御を行っている場合、受信データは16バイト受信FIFOに格納されます。SCTLビットが"1"ではネットワークスタックがシリアルポートの制御を行い、受信データはモードに対応したFIFOバッファに格納されます。いずれの場合も、アプリケーションはFIFOがオーバーフローしない速さでデータを読み出さなければなりません。

アプリケーションはRTSX信号の出力レベルを設定できます。もし相手機器のハードウェアフロー制御がアクティブであれば、RTSX信号の出力レベルによって相手機器からのデータ送信を抑止できます。

S-7601Aでは、ハードウェアフロー制御をアクティブにすると、RS/CSハンドシェーキングがサポートされます。CTS_{TX}信号の入力レベルによって自動的にデータ送信のタイミングが制御されます。CTS_{TX}信号が"L"で送信可能、"H"で送信待機になります。S-7601Aにデータ送信が指示されたとき、CTS_{TX}信号が"L"であればデータ送信を開始します。CTS_{TX}信号が"H"であれば待機状態でありデータ送信はしません。その後"L"になるとデータ送信を開始します。S-7601Aがデータ送信中にCTS_{TX}信号が"H"になると送信中のバイトを送信しきった時点で待機状態となり、次のバイト以降のデータ送信を停止します。その後"L"になるとデータ送信を再開します。SCTLビットが"0"でMPUがシリアルポートの制御を行っている場合、受信データが16バイト受信FIFOへ8バイト以上格納されると、S-7601Aは自動的にRTSX信号の出力レベルを"H"に設定します。受信FIFOが読み出され格納データが8バイト未満になると、S-7601Aは自動的にRTSX信号の出力レベルを"L"に設定します。SCTLビットが"1"ではネットワークスタックがシリアルポートの制御を行い、受信データはモードに対応したFIFOバッファに格納されます。受信FIFOがオーバーフローしそうになると、S-7601Aは自動的にRTSX信号の出力レベルを"H"に設定します。受信FIFOが読み出され、受信FIFOに空きができてくると、S-7601Aは自動的にRTSX信号の出力レベルを"L"に設定します。RS/CSハンドシェーキングを適切に行うには相手機器もハードウェアフロー制御がアクティブである必要があります。

シリアルポート制御（拡張iAPIレジスタマップの場合）

SCTLビットを"0"に設定するとMPUがシリアルポートの制御を行うモードになります。これはアプリケーションがモデム、ダイアルアップ関連の制御をしてくれるモードです。PPPは切断されていなければなりません。シリアルポートデータレジスタに1バイト書き込みをするとシリアルポートからそのデータを送信します。書き込みの前にDSInt_Enビットを"1"に設定してリアルポート割り込みレジスタのDSIntビット(0x78、ビット6)が"1"であることを確認して下さい。シリアルポートステータスレジスタのData_Avビット(0x73、ビット7)が"1"のときはまだ読み出していないシリアルポート受信データがあります。そのときシリアルポートデータレジスタを読み出すと受信データが読み出せます。すべての受信データを読み出すとData_Avビットは"0"になります。

SCTLビットを"1"に設定するとネットワークスタックがシリアルポートの制御を行うモードになります。これはPPP、TCP、UDPの通信を行うモードです。このモードでは、シリアルポート割り込みレジスタのDSInt、DVIntビットは無効なので、DSInt_En、DVInt_Enは"0"に設定してください。

また、シリアルポートデータレジスタにアクセスしてはいけません。

TCP/UDPデータ通信（拡張iAPIレジスタマップの場合）

ソケットのレジスタにアクセスする前に、マスタインデックスレジスタを0x00(ソケット0の場合)か0x01(ソケット1の場合)でプログラムしなければなりません。

PPPモジュールのレジスタにアクセスする前に、マスタインデックスレジスタを0x80でプログラムしなければなりません。

TCPデータ通信

データ通信は、シリアルポートコンフィグレーションレジスタのSCTLビットを"1"に設定した状態でい

ます。データ送信では、ソケットデータレジスタ (0x3C) にデータを書き込みます。S-7601Aは、ソケットデータレジスタを通じて、送信バッファにデータを格納します。送信バッファは、バッファ出力長レジスタ (0x4C-0x4D) によってアドレッシングされています。送信バッファにデータがない状態でバッファ出力長レジスタは0x03ffになります。ソケットデータレジスタにデータを1バイト書き込むごとにバッファ出力長レジスタはデクリメントしていきます。

データを書き終えた時点で、ソケットコマンドレジスタ (0x3A) のSend_Goビットへ"1"を書き込むと、送信バッファに格納されていたデータがプロトコル処理されて送信されます。バッファ出力長レジスタは送信バイト分増加するので、全てのデータが送信されると0x03ffに戻ります。データ送信では送信バッファに最大1023バイト格納できます。データグラムが1023バイトを超える場合、アプリケーションは複数回に分けて送信する必要があります。送信バッファへ1023バイトのデータを格納した時点で、バッファ出力長レジスタは0x0000になります。これ以上のデータをソケットデータレジスタに書き込んではいけません。

ここで、いったんソケットコマンドレジスタのSend_Goビットへ"1"を書き込み、送信バッファのデータを送信します。送信バッファの全データが送信され、バッファ出力長レジスタが0x03ffに戻ったことを確認して、データグラムの残りを送信するという手順を繰り返します。なお、送信バッファの全データが送信されたことは、ソケットステータス0レジスタ (0x34) のSnd_Empビットでも、また、割り込みを受けた後、ソケット割り込みステータス0レジスタ (0x38) のSnd_Empビットでも確認できます。

S-7601Aが受信データを受けると、プロトコル処理した上で、受信データを受信バッファに格納します。

受信バッファは、バッファ入力長レジスタ (0x4E-0x4F) によってアドレッシングされています。

バッファ入力長レジスタは、受信バッファに受信データがない状態で0x0000ですが、受信データを格納するとそのバイト数分増加します。バッファ入力長レジスタが0x0000以外の値であることや、ソケットステータス0レジスタ (0x34) のRcv_Davビット、ソケットデータ有効レジスタ、あるいは、割り込みを受けた後、ソケット割り込みステータス0レジスタ (0x38) のRcv_Davビットなどによってデータ受信のあったことを知ります。

そこで、ソケットステータス0レジスタ (0x34) のRcv_Davビットを確認しながら、ソケットデータレジスタ (0x3C) を読み出すと、受信バッファから受信データが得られます。ソケットデータレジスタからデータを1バイト読み出すごとにバッファ入力長レジスタはデクリメントしていきますので、全てのデータが読み出されると0x0000に戻ります。TCPデータ受信では受信バッファへ最大2047バイト格納できます。お互いの受信用バッファがオーバーフローしないようにするフロー制御が、S-7601Aとピアの間でTCPプロトコルにもとづいて行われます。

UDPデータ通信

UDPモードでのデータ送受信の手順はTCPモードと同様になりますが、お互いの受信バッファがオーバーフローしないようにする手続きは、アプリケーションに任せられます。

ただし、UDP_Rawモードでは、受信データを受けると、UDPプロトコル処理した上で、受信データに12バイトのヘッダ情報を付加して、受信バッファに格納します。

受信バッファからは、まず、ヘッダ情報12バイトが得られ、続いて受信データが得られます。このモードでは受信バッファにヘッダ情報分の12バイトも加えて、最大2047バイト格納できます。

ヘッダ情報の構成

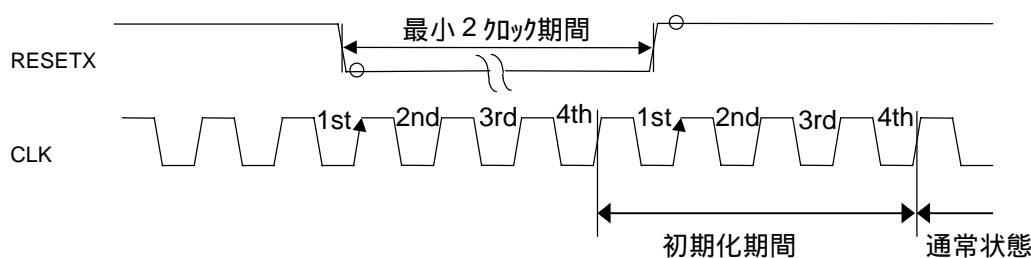
先頭からのバイト数	バイトの内容	備考
0	リモートIPアドレス最上位バイト	
1	リモートIPアドレス第2位バイト	
2	リモートIPアドレス第3位バイト	
3	リモートIPアドレス最下位バイト	
4	リモートポート番号最上位バイト	
5	リモートポート番号最下位バイト	
6	ローカルポート番号最上位バイト	
7	ローカルポート番号最下位バイト	
8	UDPデータグラムサイズ 最上位バイト	UDPヘッダ8バイト分は含まれません
9	UDPデータグラムサイズ 最下位バイト	
10	UDPチェックサム最上位バイト	
11	UDPチェックサム最下位バイト	

リセット機能

S-7601Aには、以下の4つのリセット機能があり、各リセット機能により有効範囲が異なります。

ハードウェアリセット機能

ハードウェアリセット機能では、S-7601Aの内部回路を全て初期化します。S-7601AはCLK信号（クロック入力）に同期して動作します。最小で2クロックの期間、RESETX端子へ“L”を入力すると、S-7601Aはハードウェアリセット入力を受け入れて、4クロック目の立上りエッジのタイミングで内部回路の初期設定を始めます。RESETX端子を“H”に戻した後、4クロック目の立上りエッジまで初期化期間で、その後、通常状態となります。



ハードウェアリセットタイミング

ソフトウェアリセット機能

ソフトウェアリセット機能では、ネットワークスタックの初期化を行います。

汎用コントロールレジスタ（0x01）のSW_Rstビットに“1”を2回連続して書き込むことで行います。ソフトウェアリセットは物理レイヤを初期化しません。

S-7600AコンパチブルiAPIレジスタマップ

0x08, 0x09, 0x0A, 0x0B, 0x0C, 0x0DおよびPT_INTの各レジスタは初期化されません。

もしPT_INTが“1”だと割り込みがアクティブなままです。ソフトウェアリセットは以下の手順で行ってください。

```
--
--
Serial_Port_Int_Mask < 0x00
General_Control < 0x01
General_Control < 0x01
（上記レジスタの設定）
--
--
```

拡張iAPIレジスタマップ

インデックス0x80の0x72, 0x73, 0x76, 0x78, 0x7C, 0x80, 0x81およびPT_Intの各レジスタは初期化されません。もしPT_Intが“1”だと割り込みがアクティブなままです。ソフトウェアリセットは以下の手順で行ってください。

```
--
--
Master_Index < 0x80
SP_Int_Enable < 0x00
General_Control < 0x01
General_Control < 0x01
General_Control < 0x04
Master_Index < 0x80
SP_Int < 0x10
（上記レジスタの設定）
--
--
```

ソケットリセット機能

選択されているソケットのパラメータを初期化します。

S-7600AコンパチブルiAPIレジスタマップではソケットコンフィグステータス下位レジスタ(0x22)のData_Avail/RSTビットに“1”を書き込むことでソケットを初期化します。ソケットリセットする前に、ソケットステータス上位レジスタ(0x3A)のSnd_Bsyビットが“0”であることを確認して下さい。

拡張iAPIレジスタマップではソケットコマンドレジスタ(0x3C)のSck_Clrビットに“1”を書き込むことでソケットを初期化します。ソケットリセットする前にソケットステータス2レジスタ(0x5A)のSck_Busyビットが“0”であることを確認して下さい。

ソケットをリセットした後に、ソケットのパラメータを設定してソケットをアクティブにしてください。

PPPリセット機能

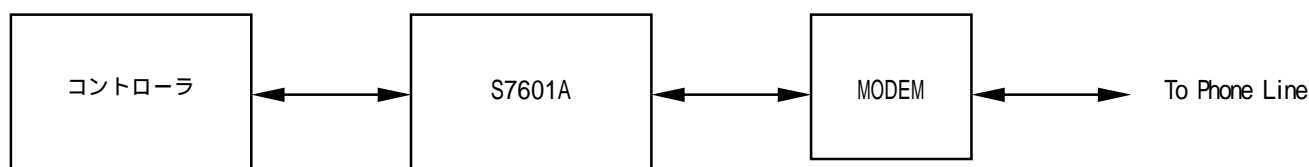
PPPモジュールを初期化します。

S-7600AコンパチブルiAPIレジスタマップではPPPコントロールステータスレジスタ(0x60)のPPP_UP/SRstビットに“1”を書き込むことでPPPモジュールを初期化します。

拡張iAPIレジスタマップではPPPコントロール/ステータスレジスタ(0x32)のPPP_UP/Rstビットに“1”を書き込むことでPPPモジュールを初期化します。

PPPモジュールをリセットした後に、PPPモジュールのパラメータを設定してPPP接続してください。

S7601Aシステム構成



セイコーインスツルメンツ株式会社
千葉県千葉市美浜区中瀬 1 - 8 〒261-8507
ネットワーク・コンポーネント・ビジネス
コンポーネント営業総括部半導体営業部
電話番号 : 043-211-1193
ファクシミリ : 043-211-8032
E-mail : component@sii.co.jp



S7601AサポートURL
<http://www.sii.co.jp/compo/>
E-mail : ichip.help@sii.co.jp

The S7600A TCP/IP Network Stack LSI is based upon iReady's Internet Tuner® technology.

The URL for iReady's Web site is,

<http://www.i-ready.com>

- 本資料の内容は、製品の改良に伴い、予告なく変更することがあります。
- 本資料に記載されている図面等の第三者の工業所有権に起因する諸問題については弊社はその責任を負いかねます。
- 本資料に記載されている製品が、外国為替及び外国貿易法に定める規制貨物(又は役務)該当する場合は、同法に基づく日本国政府の輸出許可が必要です。
- 本資料の内容を弊社に断ることなしに、記載または、複製など他の目的に使用することを固くお断りします。
- 本資料に記載されている製品は、弊社の書面による許可なくしては、健康機器、医療機器、防災機器、ガス関連機器、車両機器、航空機器及び車載機器等、人体に影響を及ぼす機器または装置の部品として使用することはできません。